



· 本 PDF 产品目录是从株式会社村田制作所网站中下载的。规格若有变更，或若其中产品停产，恕不另行通知。请在订购之前向我公司销售代表或产品工程师查询。
· 本 PDF 产品目录所记载的产品规格，因受篇幅的限制，只提供了主要产品资料。在您订购前，必须确认规格表内容，或者互换协商定案图。

数字IC 电源静噪和去耦 应用手册

Application Manual

Innovator in Electronics

muRata

村田制作所



- 本 PDF 产品目录是从株式会社村田制作所网站中下载的。规格若有变更，或若其中产品停产，恕不另行通知。请在订购之前向我公司销售代表或产品工程师查询。
- 本 PDF 产品目录所记载的产品规格，因受篇幅的限制，只提供了主要产品资料。在您订购前，必须确认规格表内容，或者互换协商定案图。

关于欧盟RoHS指令

- 本产品目录中的所有产品都符合欧盟RoHS指令。
- 欧盟RoHS指令是指欧盟的“关于在电子电气设备中限制使用某些有害物质指令 2002/95/EC”。
- 详情请参见本公司网站“Murata's Approach for EU RoHS” (<http://www.murata.com/info/rohs.html>)。

目录

1. 简介	1
2. 数字 IC 电源噪声产生去耦电路配置	4
2.1 电源噪声产生原理	4
2.2 各种方法用以观察噪声和评价标准	5
2.3 插入损耗测量方法	7
2.4 旁路（去耦）电容器	8
2.5 电感器、铁氧体磁珠	9
2.6 电容器必要的电容	10
3. 电容器的噪声抑制	12
3.1 电容器的频率特性	12
3.2 电容器安装模式的影响	13
3.3 噪声路径与电容器安装位置	14
3.4 外围电路阻抗的影响	17
3.5 电容器和反谐振的并联	18
4. 改进高频特性电容器	23
4.1 低 ESL 电容器	23
4.2 低 ESL 电容器列表	25
4.3 3 端子电容器	26
4.4 电源用 3 端子电容器列表	30
5. 电感器与 LC 滤波器	31
5.1 使用一个电感器的去耦电路	31
5.2 电感器的频率特性	31
5.3 铁氧体磁珠的频率特性	33
5.4 电容器和电感器结合使用的特性	35
5.5 LC 滤波器	37
5.6 为电源使用电感器时的注意事项	40
5.7 适合电源的电感器产品系列	41
5.8 适合电源的 LC 滤波器产品系列	43

6. 抑制电源电压波动	44
6.1 电源阻抗和电压波动之间的关系	44
6.2 使用电容器的电压波动	45
6.3 使用并联电容器来抑制尖峰	47
6.4 使用低 ESL 电容器抑制尖峰	48
6.5 当脉冲宽度较宽时的电压波动	49
7. 抑制电源阻抗的电容器定位	51
7.1 有关 IC 的电源阻抗	51
7.2 有关 IC 电源阻抗的简单估计	52
7.3 放置 IC 最接近的电容器的可能范围	53
7.4 最大允许接线长度 l_{max} 的准则	54
8. 与电容器结合使用的 PDN 配置	58
8.1 去耦电容器的分层定位	58
8.2 PDN 阻抗	59
8.3 电容器分层定位	60
8.4 PCB 上的目标阻抗	63
8.5 大容量电容器	63
8.6 板电容器	63
8.7 电容器的电容设计	65
8.8 制作超低阻抗的 PDN	70
9. 总结	71
参考文献	72

1. 简介

各类电容器和 EMI 静噪滤波器用于电源与数字 IC 的连接，如图 1-1 所示。通过形成去耦电路充当滤波器（如图 1-2 所示），在连接 IC 电源端子和配电网（PDN）的连接处，功率完整性（PI）可以增加。^{1) 2)}

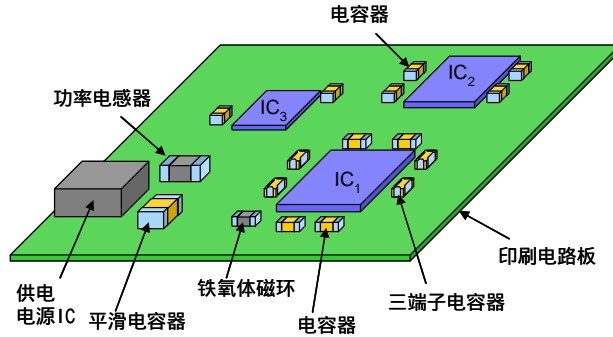


图 1-1 数字 IC 电源用静噪产品实例

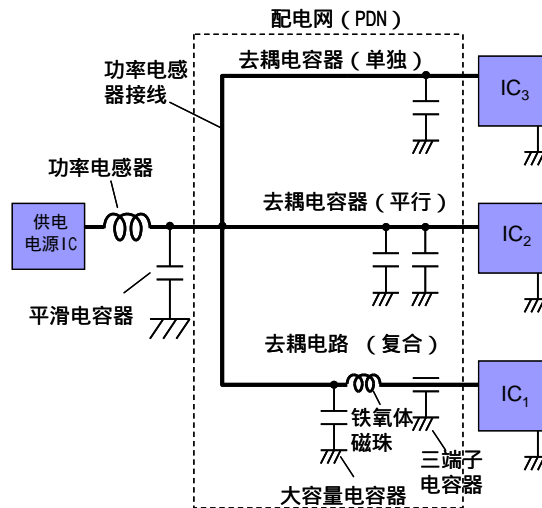


图 1-2 数字 IC 电源接线实例

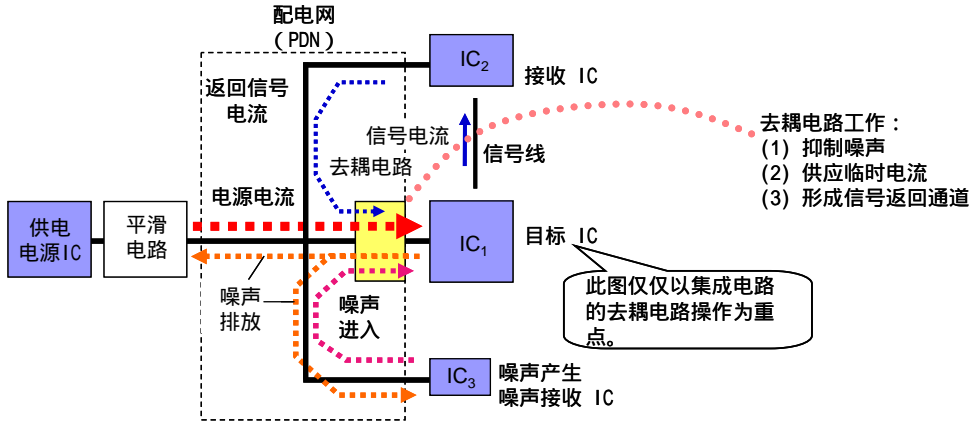
如图 1-3 所示，此去耦电路的功能如下：

- (1) 抑制由 IC 产生噪声或进入 IC 的噪声；
- (2) 提供与 IC 操作和维持电压有关的瞬态电流；
- (3) 变为信号通道的一部分。^{3) 4) 5)}

当此电路不起作用时，可能会出现以下问题，如图 1-4 所示：

- (1) 由于存在噪声泄漏，与其他电路相干扰（例如 IC₃），或增加设备的噪声排放；
- (2) 噪声从外源侵入，导致 IC 操作出现问题；
- (3) 产生电源电压波动，干扰 IC 操作，降低信号完整性，增加信号上的噪声叠加；
- (4) 由于信号电流的回路不足，降低信号完整性。

因此，形成适当的去耦电路对噪声抑制和电路操作来说十分重要。



去耦电路工作	主要性能指标	目标频率			噪声问题举例和评定标准
		1kHz	1MHz	1GHz	
(1) 抑制噪声	插入损耗 (渗透常数/衰减)		■		噪声测量 (终端电压、辐射电场、近磁场分布)
(2) 供应电流	阻抗 (反射系数)	■			电压波动、瞬态电压响应
(3) 信号通道			■		信号波形 (视觉图)

图 1-3 电源滤波器工作 (去耦电路) (当注重 IC₁ 时)

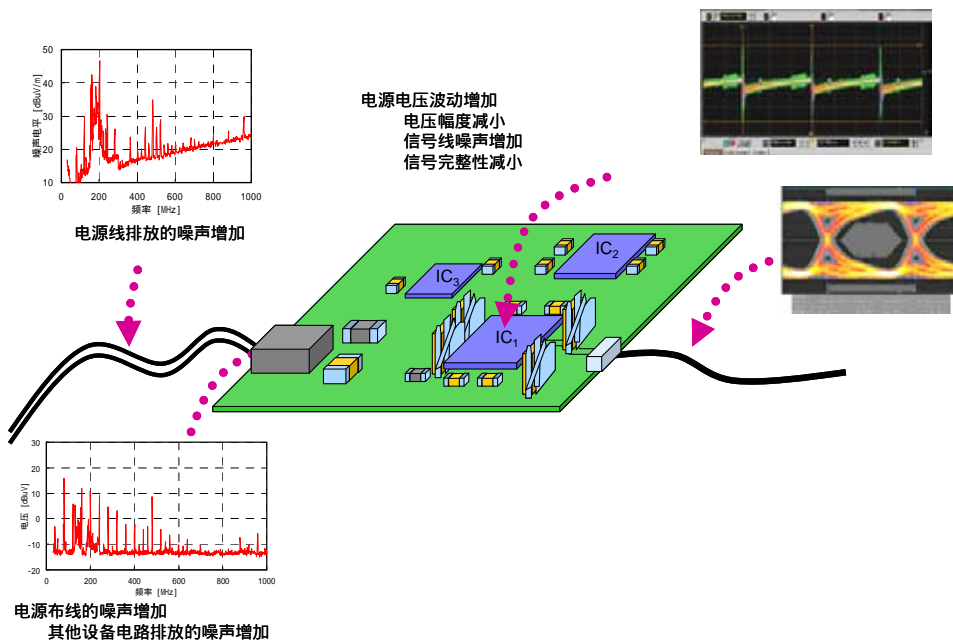


图 1-4 电源噪声影响实例

当电路的时钟速度相对较低或电路的噪声容限较高时, 通过安装旁路电容器, 将电源接地(电源端子附近), 可以很容易形成此去耦电路。在本手册中, 此旁路电容器就被称为去耦电容器。然而, 具有高时钟速度的 IC、产生大量噪声的 IC、噪声敏感型 IC 都需要更为复杂的去耦电路。本手册旨在解释电源组件的工作以及如何选择合适的组件来获得高性能去耦电路(图 1-3 所示的平滑电路除外)。

通常情况下, (1) 从噪声抑制角度来看(如图 1-3), 去耦电路的性能主要由插入损耗来评估, (2) 从供电的角度来看, 其性能主要由阻抗和 (3) 信号通道形成来评估。因为这两种角度不同, 本手册的前半部分(第 2 章至第 5 章)将着重讲噪声抑制性能, 并根据插入损耗这一指标进行解释。后半部分(第 6 章至第 8 章)则着重讲供电性能, 并根据阻抗这一指标进行解释。

2. 数字 IC 电源噪声产生去耦电路配置

我们首先将介绍数字 IC 电源噪声产生原理，处理此噪声的一般去耦电路配置。其次概述本手册涵盖的去耦电路（电源滤波器）特性。

2.1 电源噪声产生原理

C-MOS 电路简化模型主要应用于数字 IC，如图 2-1 所示。为了简化，驱动器侧的 C-MOS 晶体管的工作用开关表示，接收器侧的 C-MOS 晶体管栅电容用接地电容器表示。有了 C-MOS 数字 IC，通过控制驱动器侧的与信号线相连接的开关，将其切换至电源侧（VDD）或接地侧（GND），可将信号输出电平设置为“1”或“0”。⁶⁾

正常情况下，如果 C-MOS 数字电路电源信号电平不改变，几乎没有电流流过。然而，如果栅电容充电电流（当信号电平从“0”切换至“1”时）和放电电流（当信号电平从“1”切换至“0”时）通过信号线，如图 2-1 所示，电流就会流过电源处和接地处。当信号切换时，除了此电流，还有所谓的直通电流会从驱动器电源处流向接地处。直通电流也成为脉动电流流经电源处和接地处的原因。

由于这类电流跳动非常剧烈，包括很多频率元件，因此当能量向外辐射时，就会造成噪声故障。此外，由于电流急剧变化造成电源电压变化（电源和接地模式电感），会造成共用同一电源的外围电路运行不稳定。^{7) 8)}

因此，有必要密封 IC 周围的电流（用外围电路将 IC 分离）来抑制噪声的产生，并且使电压波动不影响外围电路。同时，由于电源电压波动可能使 IC 运行产生的噪声不稳定，有必要将噪声相关的电源电压波动控制在可接受水平。图 1-3 所示的去耦电路用于此目的。

虽然图 2-1 所示模型就简化接地考虑了栅电容，考虑到充电电流和放电电流流过接地处，实际上，栅电容的产生与电源有关，需要考虑充电电流和放电电流流经电源的情况。

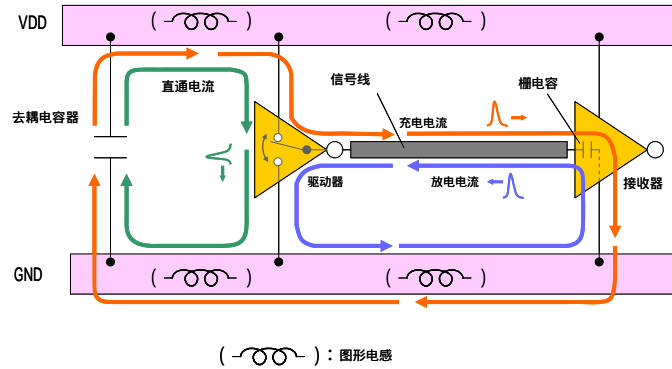


图 2-1 数字 IC 简化模型

通常，为了控制流经 IC 电源处的电流，在电源和接地之间安装电容器（如图 2-1 所示），会形成旁路（可以合并电感，如后文所示）。为了形成有效去耦电路，以下几点非常重要：

- (1) 形成可以在高频范围内运行的旁路（使用小阻抗电容器），
- (2) 严格限制电流流过范围（通过将电容器安装在 IC 附近）
- (3) 保持布局电感较小（尤其是在 IC 和电容器之间）

考虑到以上所述几点，电容器位置和电源模式配置实例如图 2-2 所示。（在这个实例中，可以在 IC 下方的单层进行接线）

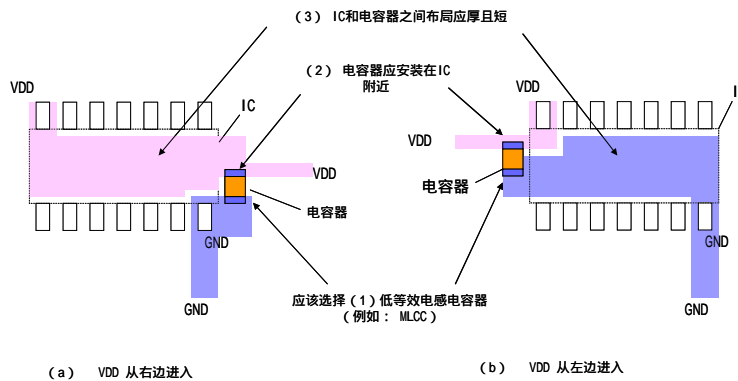


图 2-2 去耦电容器位置实例

如果理想的安装比较困难或者需要高性能的去耦电路，其接线规则在本手册第 3 章和以后章节进行描述。

2.2 各种方法用以观察噪声和评价标准

根据具体目的，有几种评价去耦电路性能的方法。如第一章图 1-3 所示，去耦电路有三种功能，也就是：(1) 抑制噪声，(2) 暂时供应电流，(3) 形成信号返回通道。

在这三种功能中，第一种功能抑制噪声是针对 IC 电源泄漏的噪声进行过滤并且切断从外源进入 IC 的噪声。在去耦电路噪声源的相反侧进行测量，用于评价此性能，如图 2-3 所示。换言之，当怀疑噪声从 IC 泄漏时，在 PDN（测量点 A）侧进行测量，当怀疑噪声从外源进入 IC 时，在 IC 电源端子（测量点 B）侧进行测量。

测量标准包括由示波器监测的电压波形和频谱分析仪测量的电压频谱。本手册显示了根据经验

得出的数据。同时，当关注去耦电路性能对比时，将插入损耗特性用作实际电路中电压和频谱的测量。⁹⁾ 网络分析仪用于测量插入损耗。由于预先确定了测量条件，因此结果具有很高的重现性，这种方法非常适用于比较部件性能。在本手册中，主要用插入损耗性能对去耦电路性能进行比较。插入损耗的测量方法在本手册 2.3 节进行描述。

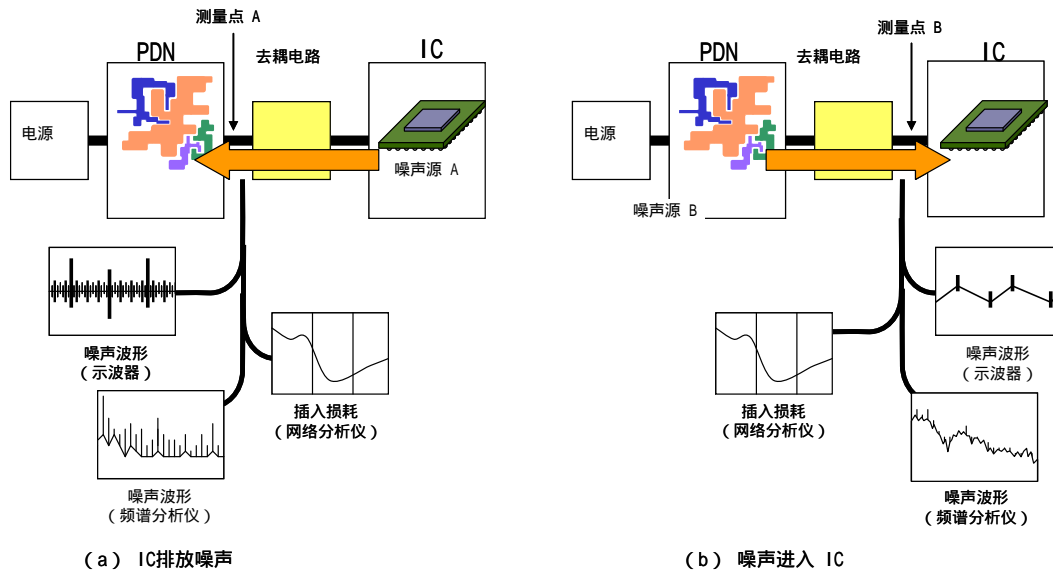


图 2-3 观察噪声抑制性能的各种测量标准

另一方面，存在从 (2) 临时供电的角度和 (3) 形成信号返回通道的角度来对过滤器性能进行评估 (如图 1-3 所示) 的情况。在这种情况下，当 IC 电流波动时，需要稳定电源电压，并确保信号的完整性，如图 2-4 所示。因此，利用 IC 电源端子侧的测量点 B' 和信号输出端子处的测量点 C 对图 2-4 所指的位置进行测量。

位于电源端子侧的测量点 B' 的测量标准包括噪声波形、频谱、阻抗；位于信号部位的测量点 C 的测量标准包括颤动和频谱。当关注去耦电路性能对比时，采用高重复性阻抗特性。在本手册中，阻抗为主要标准。

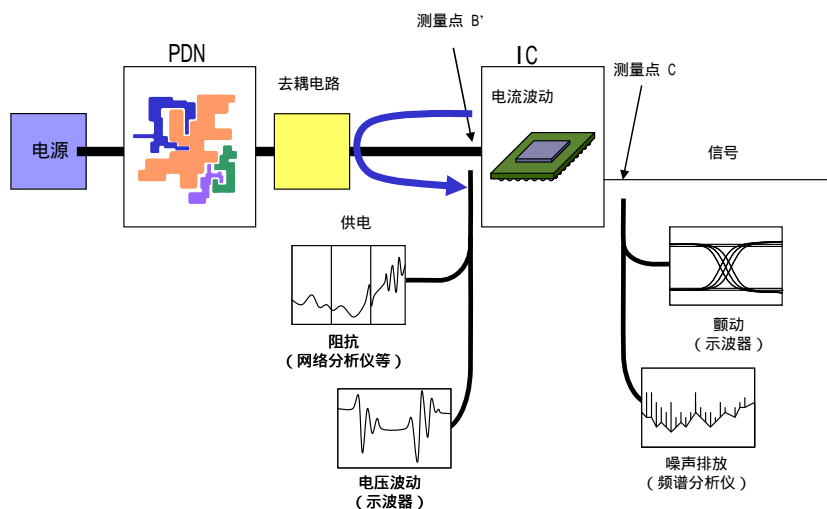


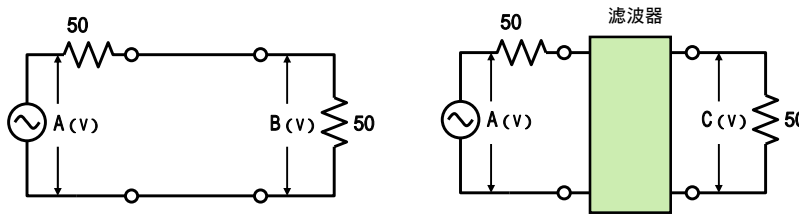
图 2-4 测量评估供电性能

2.3 插入损耗测量方法

通常情况下，噪声过滤性能用插入损耗来表示。⁶⁾ 由于电源去耦电路是噪声滤波器的一种，其抑噪性能也可用插入损耗来表示。

插入损耗的测量电路如图 2-5 所示。插入损耗 (I.L.) 用安装在阻抗为 50Ω 的电路中的滤波器效果来描述，为安装滤波器前后的输出电压之差，以 dB 为单位。插入损耗越大，静噪效果越好。

插入损耗可能由 50Ω 系统的 S 参数振荡传输系数 (S_{21}) 来代替。(请注意：插入损耗和 S_{21} 的正负号相反)



$$\text{插入损耗} = 20 \log \left| \frac{B}{C} \right| \text{ (dB)} \quad (2-1)$$

图 2-5 插入损耗测量电路

2.4 旁路（去耦）电容器

接下来，对去耦电路基本配置进行介绍。其中的一个部件为去耦电容器，如图 2-1 所示。

当去耦电容器用于 IC 电源端子时，如图 2-6 (a) 所示，就会形成从电源至接地线的旁路电容器，这个电容器作为滤波器，如图 2-6 (b) 所示。假设多层基板使用了此电容器，IC 接地和此电容器就会通过过孔连接至地平面。

在这种情况下，随着电容器阻抗的减小，插入损耗就会增加。因为电容器阻抗与频率成反比，此滤波器就成为低通滤波器，在高频率时，插入损耗大。

滤波器特性(如图 2-6 所示)根据 IC 电源内部阻抗或实际电路中的 PDN 阻抗的变化有所不同。因为在比较滤波器性能时，必须确定阻抗，在测量时通常将阻抗值设定为 50Ω，如图 2-5 所示。当滤波器安装在实际电路中时，可以从 50Ω 的测量结果估计滤波器性能。

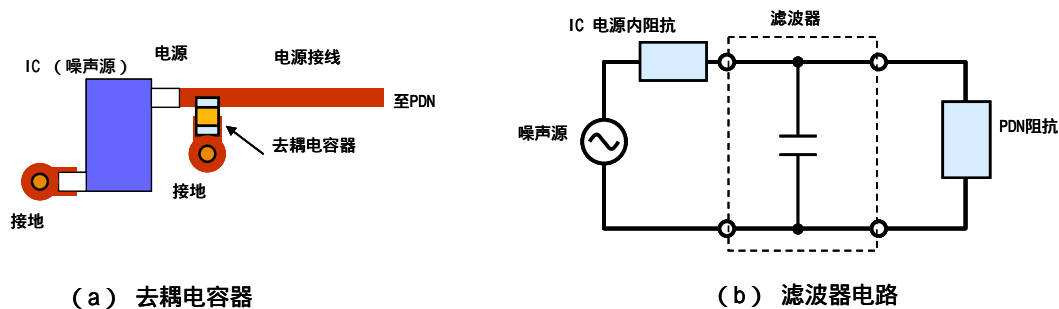


图 2-6 装有去耦电容器的滤波器电路

图 2-7 显示了 50Ω 的旁路电容插入损耗特性理论值。随着电容或频率增加，电容器插入损耗直线上升。此现象与以下事实符合：电容器阻抗与频率成反比，因此表明大容量电容器的静噪效果更好。

插入损耗单位为 dB，如图 2-5 所示。当频率或电容增加 10 倍，插入损耗就会增加 20dB。

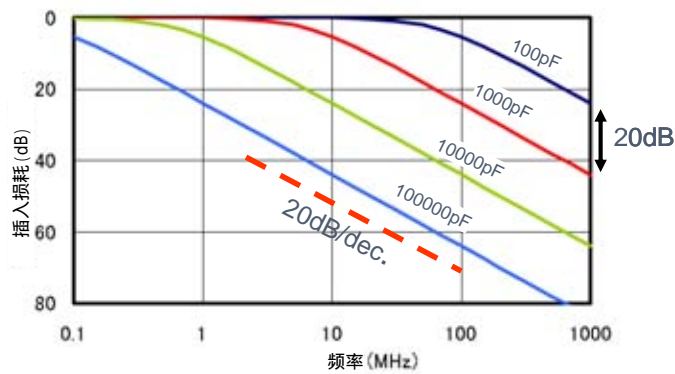


图 2-7 电容器插入损耗特性 (理论值)

电容器插入损耗的实际特性如图 2-8 所示。在超过 10MHz 的高频范围内，随着频率的增高，插入损耗减小。这是由于电容器中的微小的电感元件 (等效串联电感) 和电阻元件 (等效串联电阻) 抑制了插入损耗，如后所述。这表明为了形成在高频率下具有良好静噪性能的去耦电路，必须使用具有小等效串联电感和等效串联电阻的电容器。

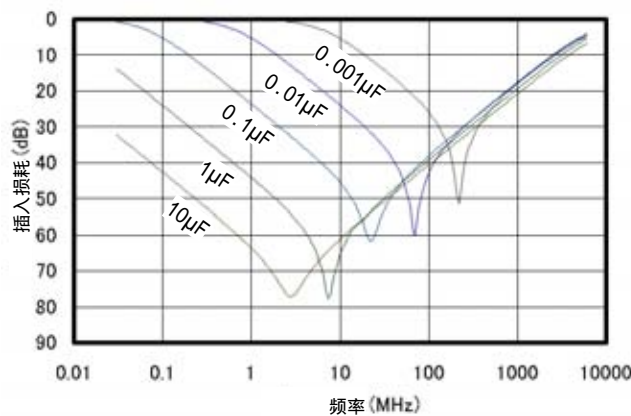


图 2-8 电容器插入损耗特性 (从村田芯片 S-参数和阻抗数据库中的数据转换而来)

2.5 电感器、铁氧体磁珠

除了上述旁路电容器之外，可以与电线串行插入电感器，例如：铁氧体磁珠，来形成普通静噪滤波器。电感器还可用于电源去耦电路。

然而，当只有电感器用于 IC 电源时，虽然可以适当地抑制噪声，但是与电源端子相关的阻抗就会增加，造成 IC 运行问题，或者对信号返回电流产生干预，很难保持信号的完整性。因此，电容器和电感器通常一同使用，将电容器安装在 IC 周围，如图 2-9 (b) 和 (c) 所示。(虽然为了阻止特定频率，电感器安装于高频放大器的 IC 侧，但是对于数字 IC 来说，通常将两者结合起来使用，如图 2-9 所示)

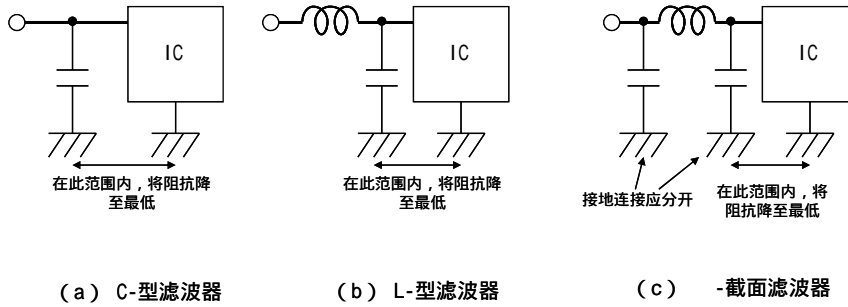


图 2-9 IC 电源用滤波器配置
(C-型、L-型、 π -截面)

当电容器和电感器结合，如图 2-9 (b) 和 (c) 所示，与只使用电容器（如图 a 所示）相比，插入损耗特性曲线斜度会更陡。因为在衰减区，插入损耗会同时增加，当噪声需要大大削弱时，这种方法更为有用。图 2-10 显示当加入电感器后，插入损耗的变化实例。

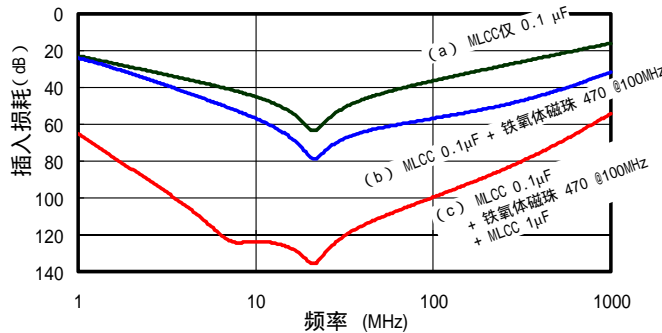


图 2-10 当加入电感器后，插入损耗波动实例（计算值）

由于 IC 接地和最近的电容器接地成为噪声的返回通道（如图 2-9 所示），所以应尽量减短其距离来使阻抗最小化。当形成 π -截面滤波器时（如图 2-9 (c) 所示），最好使地面和电容器分开（通过过孔），来阻止噪声绕过电感器（当接地条件不理想时）穿越地面（地面共享）。

除了应用于 IC 发出的噪声，去耦电路（如图 2-9 所示）还可应用于从外进入的噪声。例如，当电路暴露于强高频能量时（如手机电路），更适合使用电容器和电感器相结合的去耦电路来达到更大的插入损耗。

2.6 电容器必要的电容

当电感器用于去耦电路时，如图 2-9 (b) 和 (c) 所示，电容器电容必须大于没有电感器的电路，如图 2-9 (a) 所示。当多 IC 与电源相连时，所有去耦电容器并行运作，有效地扩大了电容，与电源端子有关的阻抗相对较低，其原因是电源模式提供的支持。相反，当使用电感器时，支持相应 IC 电源的电容器受限于电感器内部部件。

当安装有电感器时，如图 2-9 (b) 所示，以下内容举例介绍了对必要电容的粗略估算方法。电感器内部的必要电容可由以下公式得出：

$$C \geq \frac{L}{Z_T^2} \quad (2-2)$$

在公式中， C 为电容器必要电容 (F)， L 为电感器电感 (H)， Z_T 为 IC 必要电源阻抗：目标阻抗 (Ω)。

虽然有很多确定 Z_T 的方法，可以由 IC 瞬时暂态电流 ΔI (A) 和允许电压浮动 ΔV (V) 来得出。¹⁰⁾

$$Z_T = \frac{\Delta V}{\Delta I} \quad (2-3)$$

当使用 $L=1\mu\text{H}$ 电感器 (大约 $600\Omega@100\text{MHz}$)，用上述公式来计算 IC 去耦电路在 $\Delta I=0.1\text{A}$ 和 $\Delta V=200\text{mV}$ 时的电容器必要电容。首先，可以由公式 (2-3) 得出 $Z_T=2\Omega$ 。然后，将此值代入公式 (2-2)，可以得出 $C=0.25\mu\text{F}$ 。在这种情况下，可以看出，IC 去耦电容器的电容最少应为 $0.25\mu\text{F}$ 。

从公式 (2-2)，可以看出电感越大，必要电容越大。可以假设随着电感的增加，阻抗也会较低频时增加，频率范围扩大，需要低频侧的电容器阻抗降低。

因为公式 (2-2) 仅仅给出了大约的估计，当将此计算结果应用于实际电路中时，在某种情况下，电容会不足。在将此值应用于电路设计时，应选择足够的电容。

3. 电容器的噪声抑制

理论上，在去耦电路上使用电容器和电感器时，随着频率的变高，噪声抑制的效果会得到改善。然而，事实上，在超过 10MHz 的高频区不是那么有效。虽然不是那么有效的原因可能是由于电容器自身的特性，但也可能是由于电容器在印制电路上的使用方式。本章将要描述在去耦电路上使用的电容器的频率特性波动的原因以及如何可能影响噪声抑制效果的原因。

3.1 电容器的频率特性

多层陶瓷电容器（MLCC）因优良的频率特性而广泛使用。然而，在高频率下使用时，它们含有少量的固有阻力和电感，这将达不到理想特性。典型的电容器等效电路如图 3-1 所示。¹⁾ 图 3-1 中，ESR 代表固有阻力，ESL 代表固有电感。由于这些因素，电容器的阻抗呈现出 V 形的频率特性，如图 3-2 所示。



图 3-1 电容器的等效电路

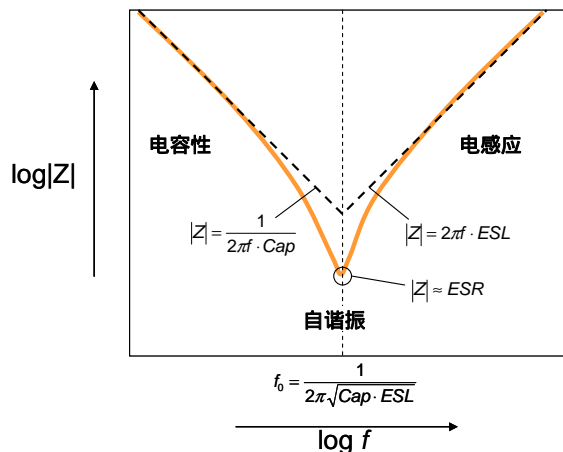


图 3-2 电容器的频率特性

电容器的阻抗几乎呈线性下降，显示出的特性类似于图 3-2（标有“电容性”）中在低频范围内左边的理想电容特性。达到最低值后（标有“自谐振”），然后几乎呈线性上升超过（标有“电感性”）的那个点。电容区的阻抗与 ESR 相对应，电感区的阻抗与 ESL 相对应。因此，为了在高频率范围内使用低阻抗的电容器，选择低 ESR 和 ESL 的电容器变得很重要。

作为旁路电容器来使用的电容器噪声抑制效果与其阻抗相对应（阻抗越小，噪声抑制效果越大）。因此，其插入损耗特性被制成类似于图 3-2 的 V 形频率特征图表。MLCC 阻抗与插入损耗的对比例子如图 3-3 所示。

在此例中，使用一个 2.0x1.25mm-尺寸（GRM21 系列）的电容器来比较其阻抗变化时的两种特性曲线。这两种曲线几乎是相同的，并且在电容器的阻抗大约是 25Ω 的频率区，切断频率（3dB）

出现插入损耗。这可以理解为，由于在图 2-5 的插入损耗测量电路中，旁路电容器的阻抗明显地大于测量系统的阻抗（50Ω）。

通过观察图 3-3，可以看出特性曲线在电容区是截然分开的，但是在电感区基本上是一条线。这时我们可以假定 MLCC 的等效电感受到除了电容外其他因素的影响。

为了明显改善在该电感区的特性，我们需要一个带有简化等效电感的电容器。在第 4 章我们会介绍这种电容器。

本手册中的 MLCC 指的是普通多层陶瓷电容器（没有特殊结构的简化等效电感）。

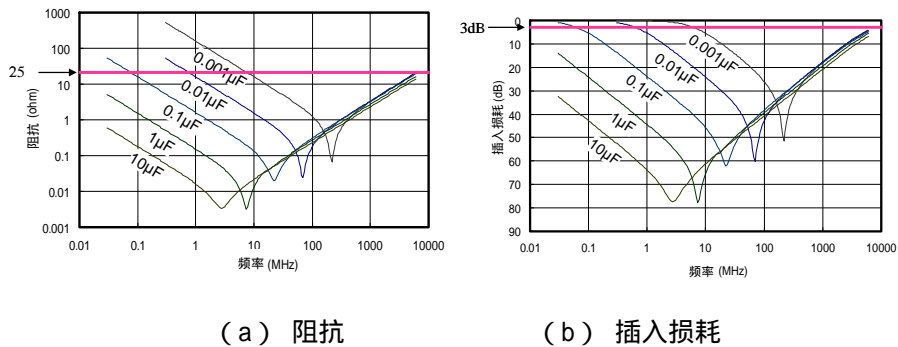


图 3-3 电容器频率特性的例子

（来自村田芯片 S-参数与阻抗数据库）

3.2 电容器安装模式的影响

迄今为止我们已讨论的电容器的插入损耗特性属于在理想条件下已安装在印制电路上的电容器。当电容器安装在实际基片上时，这些特性可能出现变化。例如，当考虑从电源接线上连接电容器到地面时，如图 3-4 所示，安装模式和过孔电感要呈线性放置到电容器。通过在基片上安装而产生元件电感（ESL_(PCB)）因素时，电容器的插入损耗特性出现变化，如图 3-5 所示；并且观察到插入损耗在电感区（高频范围）减少。

当电容器用于抑制高频噪声时，应使用厚而短的电线来设计以便于此安装电感（ESL_(PCB)）可以变小。除了插入损耗（噪声抑制效果），从电源阻抗的观点看，ESL_(PCB) 必须保持为小。抑制线路中电感值以及电源阻抗的线路设计将在第 7 章详细介绍。

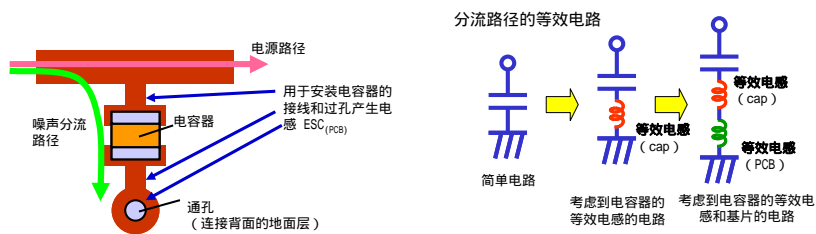


图 3-4 安装电容器时的线路影响

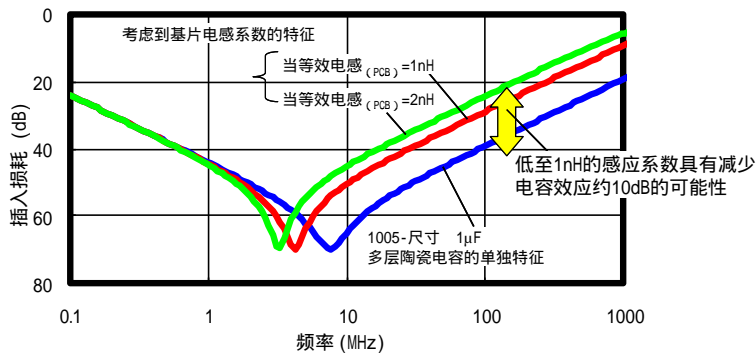


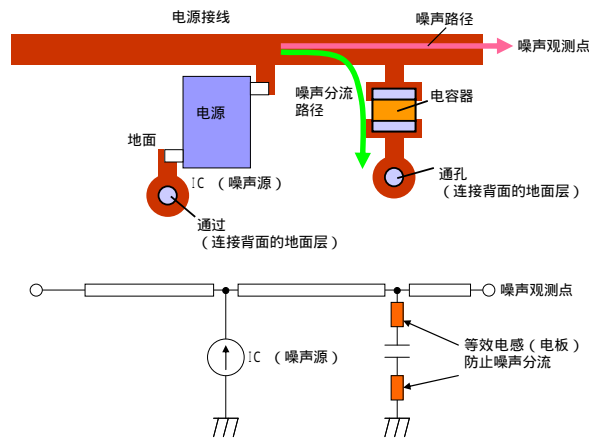
图 3-5 由于安装电感，电容器特性的波动 (计算值)

3.3 噪声路径与电容器安装位置

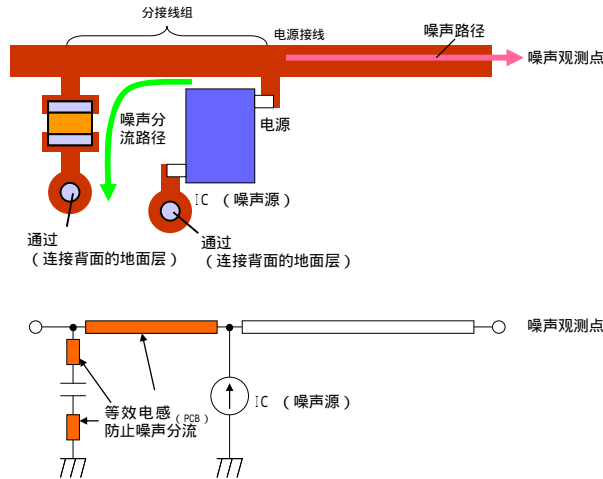
按照噪声路径和电容器安装位置，当安装电容器时，安装的电感 ($ESL_{(PCB)}$) 可能出现变化。例如，如图 3-6(a) 所示，当电容器定位在噪声路径时，来自电容器安装模式以及过孔的 $ESL_{(PCB)}$ ，使其相对变小。另一方面，如图 3-6(b) 所示，如果安装位置设定在噪声路径的另一边，从电源终端到安装位置的所有线路都包括在 $ESL_{(PCB)}$ 中，使其变大。在这种情况下，高频区的电容器的效果就会减弱。我们应把这种远离噪声路径的线路称为“支路线路”。

假定这个分支线路是一个 10mm 长 MSL (微带线)，计算插入损耗波动的例子如图 3-7 所示。在此例中，插入损耗在超过 10MHz 的频率范围内的跌幅接近 20dB。

当该配置模式像电源线路一样复杂，并且有多种电源终端排放噪声时，考虑到噪声源以及与电容器相配应的传输路径，很有必要放置电容器，这样就不存在分支线路。



(a) 限制安装电感的布局 (上面：布局 下面：示意图)



(b) 安装大电感的布局 (上面: 布局 下面: 示意图)

图 3-6 噪声路径与电感器位置之间的关系

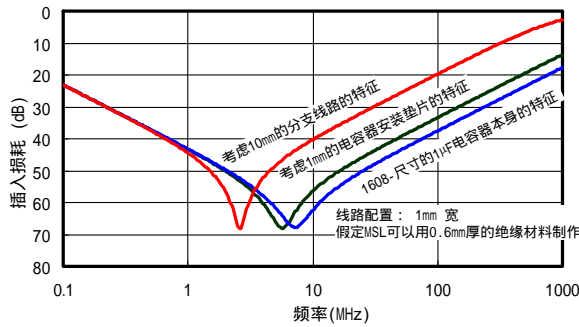


图 3-7 当存在分支线路时，插入损耗波动的例子 (计算值)

图 3-8 是证实图 3-7 试验所示的分支线路影响的例子。工作在 20MHz 的数字 IC 电源终端的噪声排放由远离电源终端 6mm，安装的 1608-尺寸，1 μ F MLCC 所抑制的。噪声大小可以通过位于离电源终端 15mm 的示波器测量出的电压波形来进行确认。

图 3-8 给出了测量结果：(a) 没有电容器时，(b) 电容器安装在噪声路径的另一边 (有分支线路) 时，以及 (c) 电容器安装在噪声路径上 (没有分支线路) 时。同 (b) 相比，电压波动 (波纹) 不及 (c) 的三分之一，这说明分支线路的存在对噪声抑制有着巨大的影响。

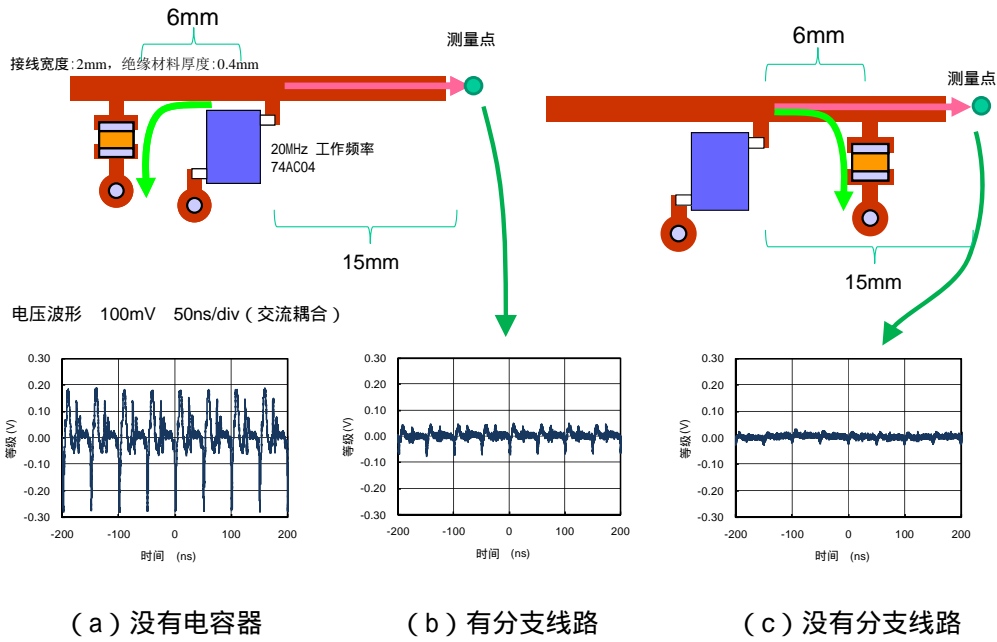


图 3-8 确认电源噪声抑制效果（电压波形）

在图 3-9 中，与图 3-8 相同的线路是用于评估关于噪声抑制的电源影响的变化。排放噪声的环形天线安装在电源接线的一端，并且排放的噪声在距离 3m 处进行测量。水平极化用 H 标记，垂直极化用 V 标记。正如图 3-8，得到的测量结果是：(a) 没有电容器时，(b) 电容器安装在噪声路径的另一边（有分支线路）时，以及 (c) 电容器安装在噪声路径上（没有分支线路）时。

就显示峰值发射的频率而言，图 3-9 的结果也显示出 (c) 中没有分支线路的噪声抑制效果要优于 (b) 中有分支线路的效果，大约 10dB。这 10dB 的差异就被理解为在 6mm 分支线路上表现出的电感的影响。

此外，如图 3-8 所示，不论分支线路是否存在，比较 (a) 和 (b) 时，电压波动包含在大约 1/5 内；图 3-9 中，当比较 (a) 和 (b) 时，峰值发射波动大约 8dB（大约 1/2.5）。原因可能就是所有频率的影响相乘造成电压波动，然而要为每种频率测量辐射，增强了这项观察中高频的影响。可以看出，当处理高频噪声时，ESL_(PCB) 例如分支线路的影响变得更加重要。

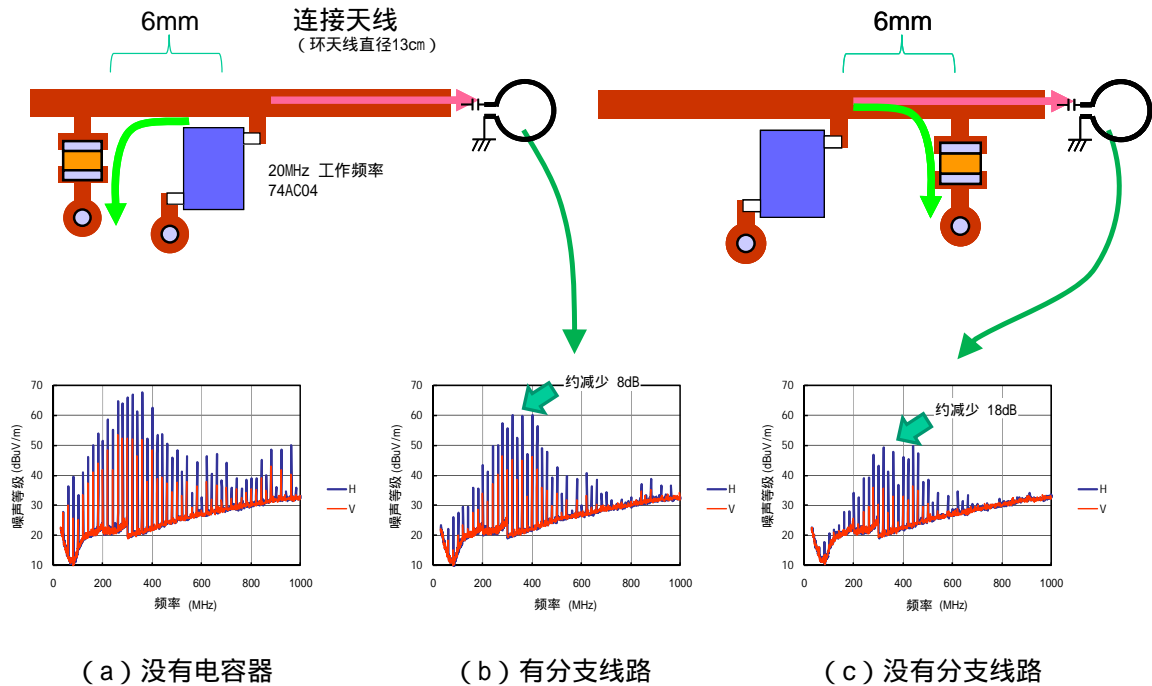


图 3-9 确定 IC 电源噪声抑制效果 (噪声辐射频谱)

3.4 外围电路阻抗的影响

当安装在 50Ω 的系统电容器上时，在 3.1 章描述过的电容器插入损耗特性显示出的数值。因为实际的电源线路不同于这个，考虑到电路阻抗，我们需要弥补电容器影响的判断。图 3-10 的一个例子显示出计算的电容器频率波动的结果，假定外围电路阻抗将显示某些电阻值。

如图 3-10 所示，电容器的插入损耗在低阻抗的电路中一般趋向于变小。因电源线路被认为相对是低阻抗的，设计过滤器时，我们需要计算进插入损耗的减少量。此外，为了改善在这样低阻抗电路中电容器的效果，结合使用电感器是很有效的。添加电感器的去耦线路在第 5 章介绍。

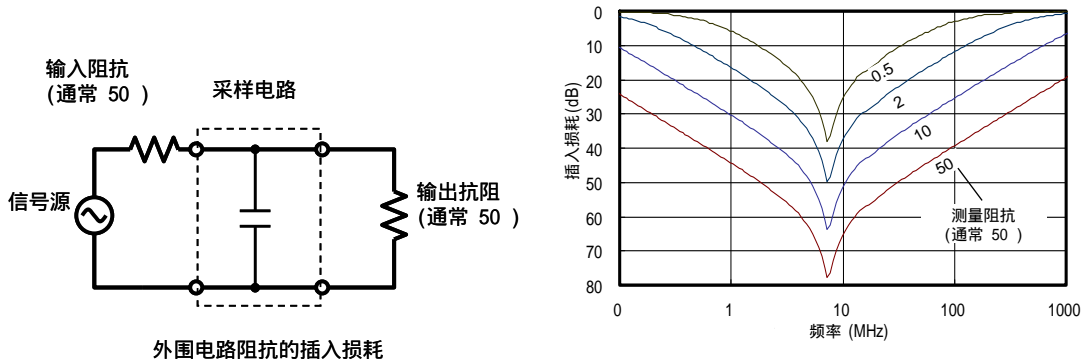
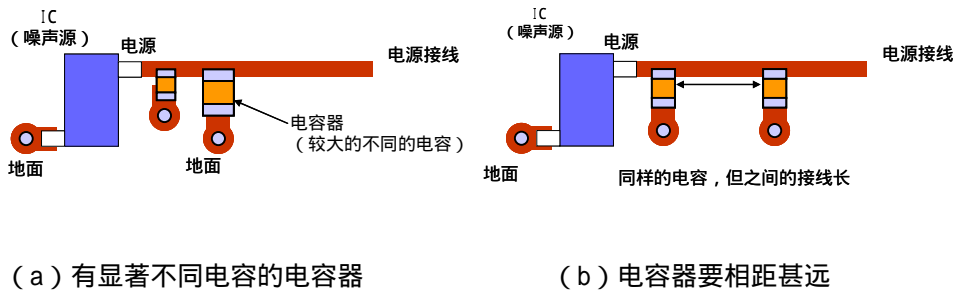


图 3-10 插入损耗中的波动与外围线路阻抗有关

3.5 电容器和反谐振的并联

当电容器的电容不足，或者目标阻抗以及插入损耗由于高 ESL 和 ESR 难以实现时，可能需要并联多个电容器，如图 3-11 所示。在这种情况下，我们必须注意出现在这些电容器中的并联谐振（称为反谐振），如图 3-12 所示，为了使某些频率的阻抗高于中电容器的情形。¹¹⁾（在图 3-11 (b) 中，电容器间的接线作为电感器来运行以增加在某些频率下的插入损耗；然而，可以看到从电源终端的阻抗由于反谐振会趋向于变大。）

反谐振是发生在两个电容器间的自谐振频率不同时的一种现象，并且并联谐振发生在其中一个电容器的感应区以及另一个电容器的电容区的频率区域，造成总的阻抗增加（理论上，会变得无限大）。因此，插入损耗在出现反谐振地方的频率会变小。



(a) 有显著不同电容的电容器

(b) 电容器要相距甚远

图 3-11 电容器连接可能出现反谐振的例子

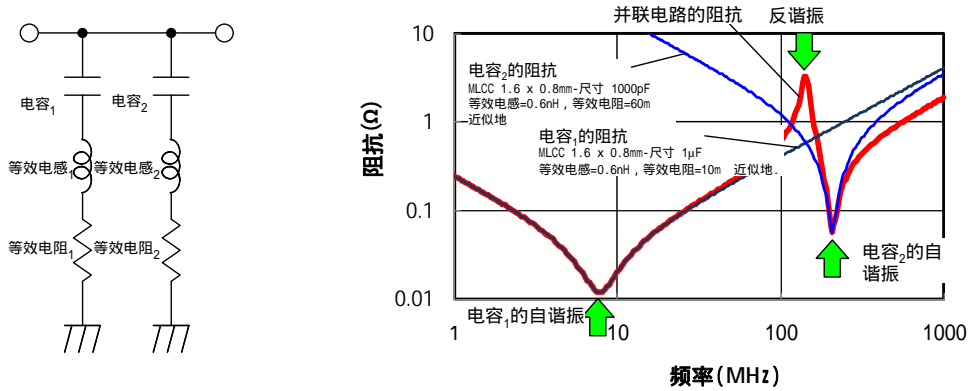


图 3-12 电容器的并联谐振（计算值）

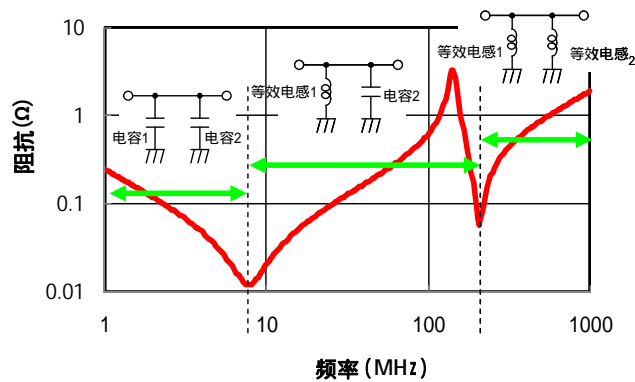


图 3-13 电容器并联谐振的原理

以下方法，如图 3-14 所示，可用来防止反谐振：

- (1) 在电容器间嵌入谐振抑制元件例如铁氧体磁珠，
- (2) 匹配电容器的电容以调整自谐振频率，以及
- (3) 当结合使用不同电容的电容器时，包含的电容差异低于 10:1。

方法（1）对改善插入损耗相当有效。然而，降低阻抗的效果就变小，在 2.6 章节中已解释过。然而方法（2）和（3）要完全抑制反谐振是很难的，实际上，问题是有些减弱。如图 3-14（d）所示，如果目标电容可以达到带有低 ESL 和 ESR 的高性能电容器，这将是很理想的，因为它可以消除反谐振问题。这种高性能电容器将在第 4 章介绍。

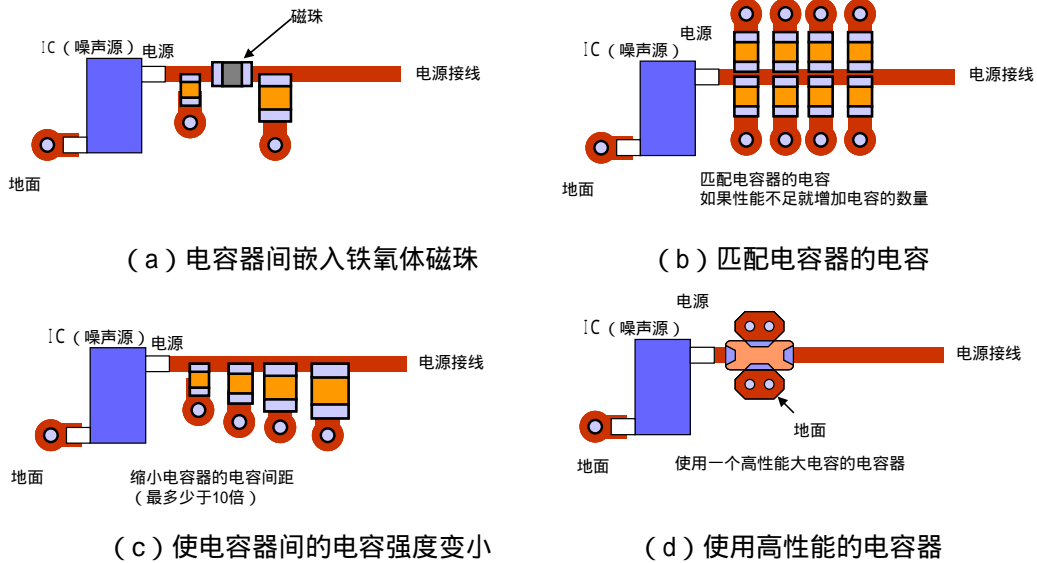


图 3-14 定位电容器以抑制反谐振的例子

通过 3-17，图 3-15 是实验中确定反谐振影响的例子。工作在 4MHz 的数字 IC 电源终端所观察到的噪声用示波器和频谱分析仪来测量。在去耦电路的左边和右边进行测量（左边：噪声的输入端；右边：噪声的输出端）。

在此图中，示波器的测量结果位于中心，频谱分析仪的测量结果位于外侧。两个都用场效应管探测器来测量。（通过分析终端电压的频率来测量频谱，相对于测量光谱。）

在图 3-15 中，可以观察到两个 MLCC 结合使用出现的反谐振。第一行是仅仅有一个 MLCC 的情况，反谐振不会出现。通过在图 3-11 中为第二行和第三行申请条件，创造的极端条件会故意诱导反谐振的出现。1 μ F 与 1000 pF 的 MLCC 通过线路连接。根据箭头所指示的，噪声频谱在某些频率会增加，并且在第三行甚至超过电源电压时，能观察到强大的振铃。

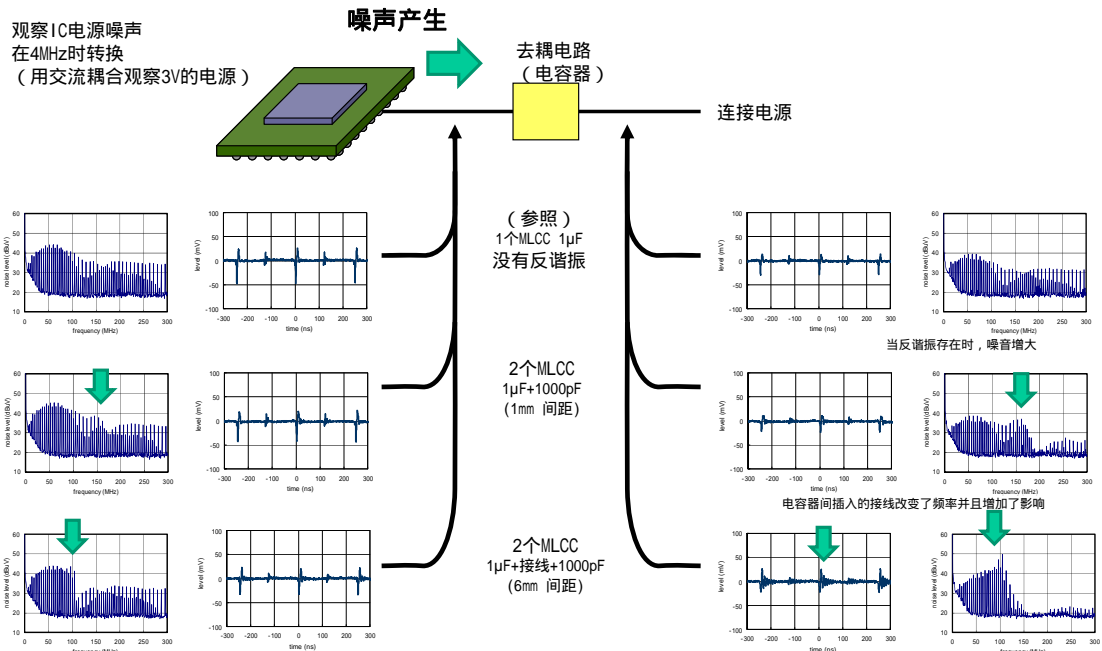


图 3-15 出现反谐振时，噪声观测的例子

相反，图 3-16 显示出抑制反谐振的实验结果。第一行显示出一个 MLCC 的情况，同 3-15 图一样。图 3-14 (b) 的条件应用在第二行的情况以匹配电容器间 (有 2 个电容器) 的电容。图 3-14 (c) 的条件应用在第三行，使电容强度更小 (有 4 个电容器)。在这种情况下，随着电容器数量的增加，电源电压波动变小，并且也能降低噪声频谱。

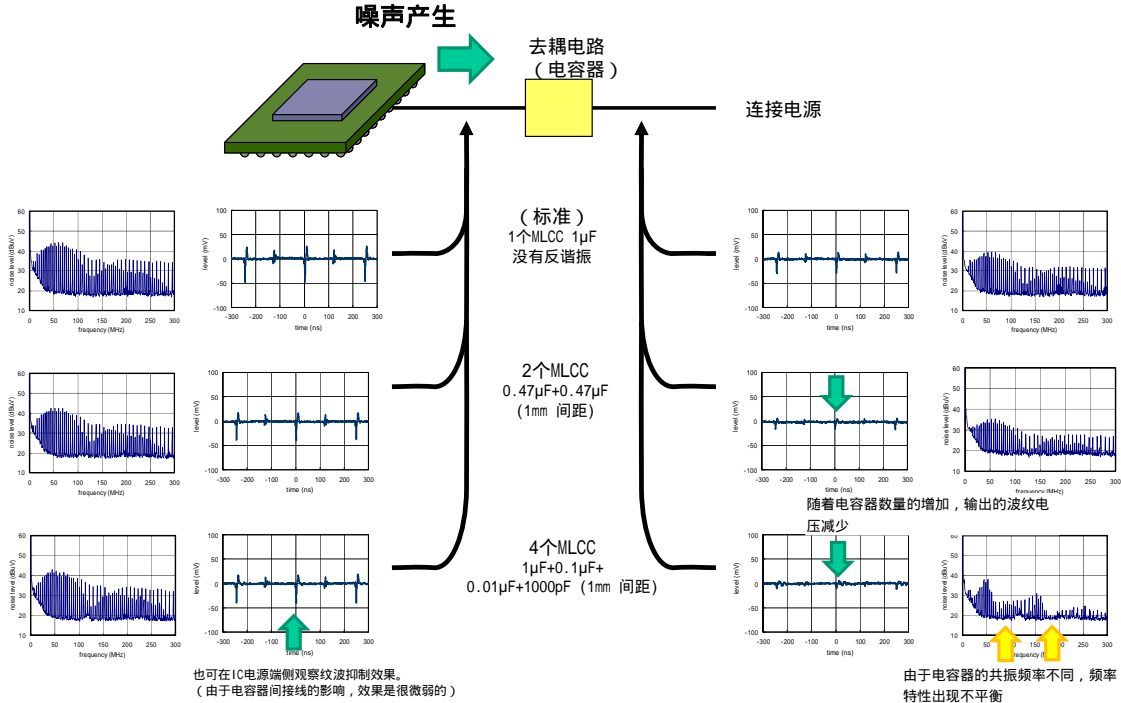


图 3-16 小反谐振组合的测量结果

图 3-17 显示出在图 3-14 (d) 中一个低 ESL 电容器和一个 3 端电容器用于例子的实验结果。为了便于比较，此图中的第一行同早前例子一样，使用一个 MLCC。

第二行显示一个低 ESL 电容器的情况。电源电压的波动在去耦电路的左边和右边变小，并且频谱也因而变小。一个低 ESL 的电容器被认为是一个抑制电源电压波动特别有效的元件。

第三行显示一个 3 端电容器的情况。我们可以看出右边的电压波动和频谱特别小。这应表明 3 端电容器优良的噪声抑制性能。

这些高性能的电容器在第 4 章会详细介绍。

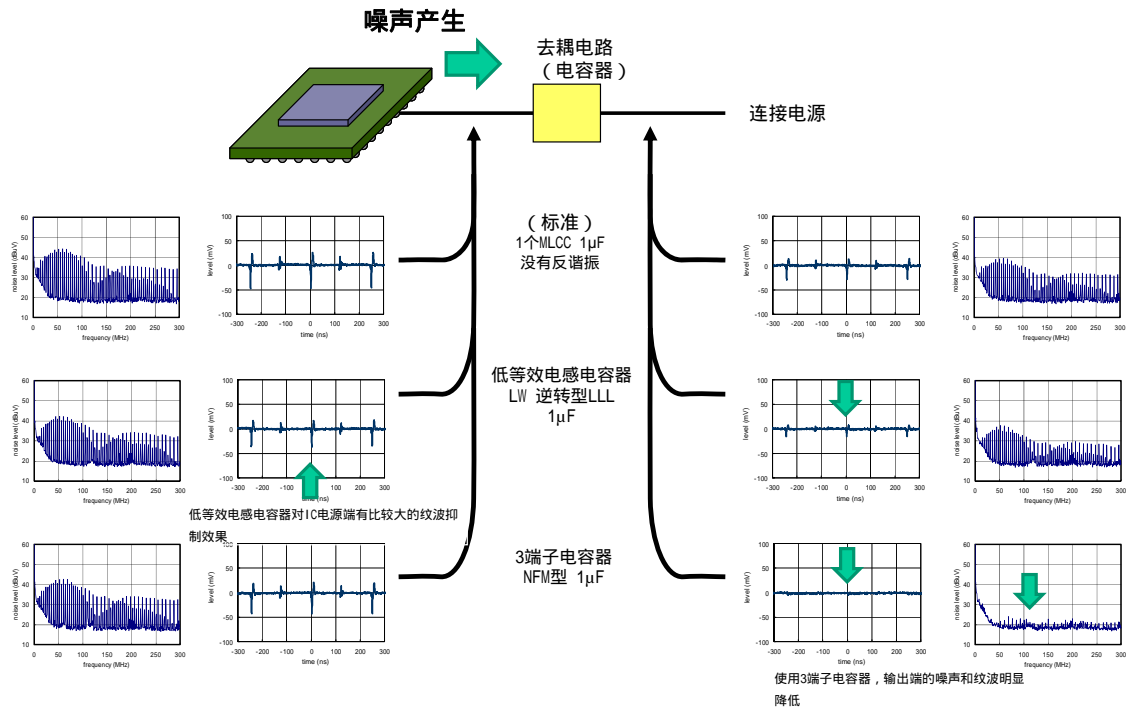


图 3-17 使用低 ESL 电容器时的测量结果

4. 改进高频特性电容器

在第 3 章，我们描述了 IC 电源去耦电路中电容器的一般频率特性。第 4 章，我们要介绍通过减小等效串联电感来进行改进的具有高频特性的电容器。

4.1 低 ESL 电容器

MLCC 的等效串联电感由当电流流经内外部电极时产生的磁通量生成的，如图 4-1 所示。因此，可以通过改变电极配置，改变电流通路和电流分布来改变等效串联电路。

通过改变电极配置，从而降低电容器的等效串联电感，如图 4-2 所示。

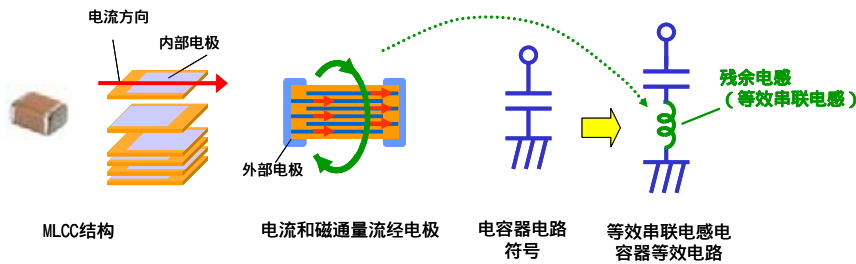


图 4-1 MLCC 中等效串联电感产生机理

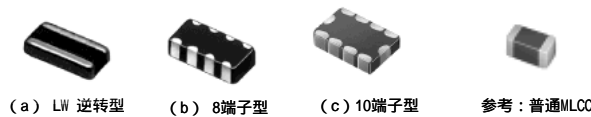


图 4-2 低 ESL 电容器配置

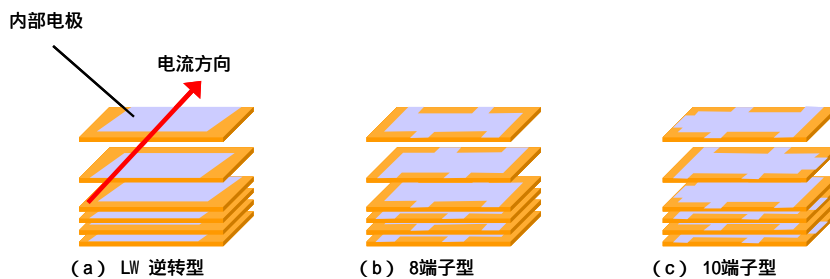


图 4-3 低等效串联电感电容器结构 (示意图)

图 4-2 (a) 显示了由于电极宽而短，电容器的电感降低，称为长度宽度逆转型电容器或 LW 逆转型电容器。根据图 4-3 (a) 所示的内部结构，与普通 MLCC 相比，其内部电极更宽更短。

在图 4-2 (b) 和 (c) 中，显示了多端子电容器，其外部电极增加，相邻电极的极性相反。在图 4-3 (b) 和 (c) 所示的内部结构中，内部电极厚且短，此外，内部电极可以交替和外部电极连接。(其外表与电容器阵列相似，但是内部电极配置却完全不同。)

通过选择这种结构，互感发生在流向相反方向的电流之间，抵消相互的电感，如图 4-4 所示。对于那些电流在相邻电极之间流动的组件，电流环趋向于极小来对抗相反方向的电流。此外，此类电感为并联，实现了整个组件等效串联电感的极小化。

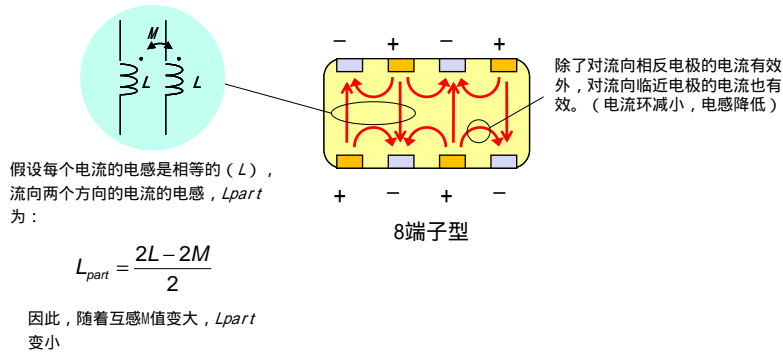


图 4-4 互感中电感降低效应

图 4-5 对传统 MLCC 和低等效串联电感电容器的阻抗进行了对比。所有电容器的尺寸都为 1.6x0.8mm，电容为 1 μ F。当频率范围为 100MHz 时，LW 逆转型电容器的阻抗降至 1/5，多端子电容器阻抗降至 1/2。与传统的 MLCC 相比，多端子电容器的等效串联电感应小于 1/10。

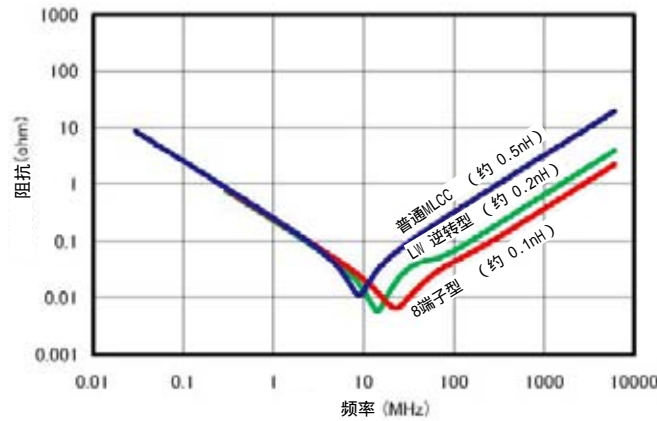


图 4-5 低等效串联电感电容器阻抗特性实例
 (从 Murata 芯片 S-参数和阻抗数据库得出)

图 4-5 所示的特性是从 S 参数至阻抗转换而来的，电容器安装在微带线 (MSL) 旁路侧来进行测量。因此，这代表了组件的特有特性 (近似于集总常数)。

通常，当将电容器安装在印刷电路中时，受连接至电容器和通孔布局电感 (ESL_{PCB}) 的影响很大，此外，受电容器等效串联电感的影响也很大。图中所示，当多端子电容器安装在基片上时，彼此相邻的流向相反方向电流的电感抑制效果影响布局 and 通孔中的电流，如图 4-6 所示，导致 ESL_{PCB} 的影响较小。因此，与使用传统布局 and 通孔的 MLCC 相比，致力于多端子电容器的布局 and 通孔对阻抗的改善作用更好，超过了图 4-5 所示的性能差异。

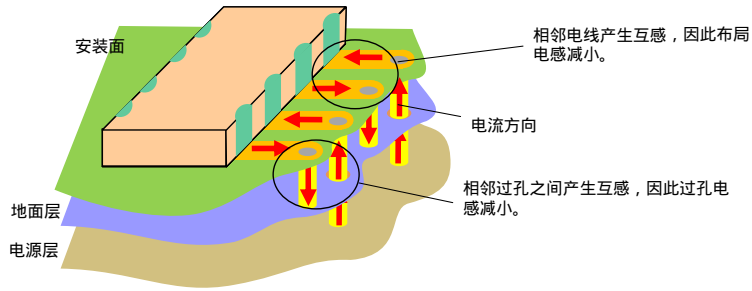


图 4-6 多端子电容器的电感抑制效应

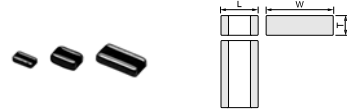
4.2 低 ESL 电容器列表

目前可提供的低 ESL 电容器简介如下所示。要想了解最新资料，请参阅目录。

● LW 逆转型电容器 LLL 系列

电容范围

- 0.5 x 1.0mm 尺寸 : 0.1 μ F - 0.22 μ F
- 0.8 x 1.6mm 尺寸 : 0.0022 μ F - 2.2 μ F
- 1.25 x 2.0mm 尺寸 : 0.01 μ F - 2.2 μ F
- 1.6 x 3.2mm 尺寸 : 0.01 μ F - 10 μ F

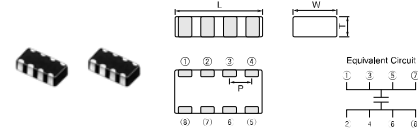


Part Number	Dimensions (mm)		
	L	W	T
LLL153	0.5 ±0.05	1.0 ±0.05	0.3 ±0.05
LLL185	0.8 ±0.1	1.6 ±0.1	0.6 max.
LLL215	1.25 ±0.1	2.0 ±0.1	0.5 +0/-0.15
LLL216			0.6 ±0.1
LLL219	1.6 ±0.15	3.2 ±0.15	0.85 ±0.1
LLL315			0.5 +0/-0.15
LLL317			0.7 ±0.1
LLL31M			1.15 ±0.1

● 8 端子电容器 LLA 系列

电容范围

- 1.6 x 0.8 mm 尺寸 : 0.1 μ F - 2.2 μ F
- 2.0 x 1.25 mm 尺寸 : 0.01 μ F - 4.7 μ F
- 3.2 x 1.6 mm 尺寸 : 0.1 μ F - 2.2 μ F

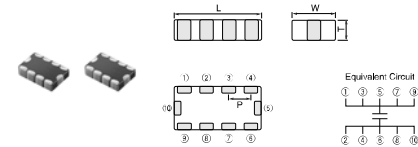


Part Number	Dimensions (mm)			
	L	W	T	P
LLA185	1.6 ±0.1	0.8 ±0.1	0.5 +0.05/-0.1	0.4 ±0.1
LLA215	2.0 ±0.1	1.25 ±0.1	0.5 +0.05/-0.1	0.5 ±0.05
LLA219	2.0 ±0.1	1.25 ±0.1	0.85 ±0.1	0.5 ±0.05
LLA315	3.2 ±0.15	1.6 ±0.15	0.5 +0.05/-0.1	0.8 ±0.1
LLA319	3.2 ±0.15	1.6 ±0.15	0.85 ±0.1	0.8 ±0.1
LLA31M	3.2 ±0.15	1.6 ±0.15	1.15 ±0.1	0.8 ±0.1

● 10 端子电容器 LLM 系列

电容范围

- 2.0 x 1.25 mm 尺寸 : 0.01 μ F - 2.2 μ F
- 3.2 x 1.6 mm 尺寸 : 0.1 μ F - 2.2 μ F



Part Number	Dimensions (mm)			
	L	W	T	P
LLM215	2.0 ±0.1	1.25 ±0.1	0.5 +0.05/-0.1	0.5 ±0.05
LLM315	3.2 ±0.15	1.6 ±0.15	0.5 +0.05/-0.1	0.8 ±0.1

4.3 3 端子电容器

减小等效串联电感的另一种方法是使用 3 端子电容器。图 4-7 举例显示了 3 端子电容器。这种电容器为穿心式电容器，为具有杰出频率特性的 MLCC，有电路接线用于减小等效串联电感。

如图 4-8 所示，3 端子电容器由输入端、输出端构成，来进入组件的噪声路径。因此，内部电极产生的电感分成三路形成 T 型电路。当将 3 端子电容器的输入端和输出端连接至噪声路径，输入/输出方向的等效串联电感串行进入噪声路径，增加了插入损耗（提高了静噪效果）。此外，旁路方向的等效串联电感仅在接地区域，为 MLCC 的一半。图 4-7 所示的 3 端子电容器通过在电容器左右两侧设计两个地电极进一步减小了接地电感。

这些创新包括了在 10pH 至 20 pH 旁路方向 3 端子电容器等效串联电感，对于某些模型来说，其电感为传统 MLCC 的 1/30 甚至更小。因此，可以预期在超过 1GHz 的高频情况下，会有很好的旁路效果。

图 4-9 对比了 MLCC 和 3 端子电容器的插入损耗。其尺寸都为 1.6x0.8mm，电容为 1μF。结果是频率大于 100MHz 时，3 端子电容器比 MLCC 的插入损耗大 35dB。

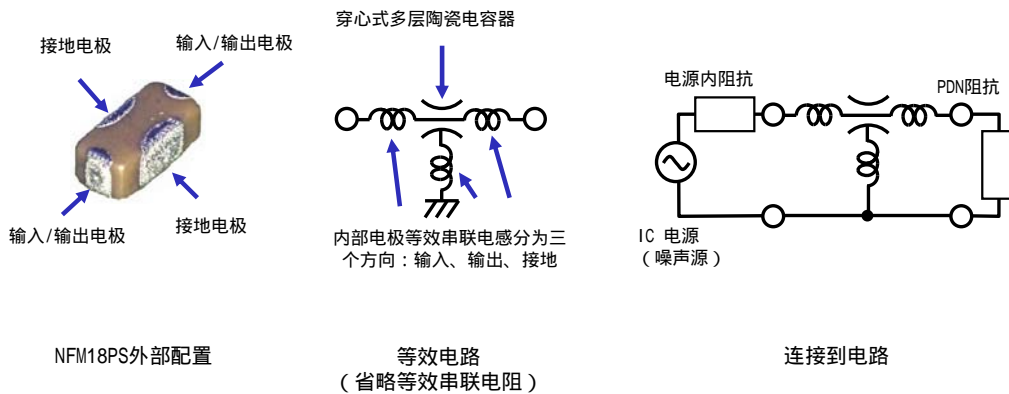


图 4-7 电源用 3 端子电容器实例

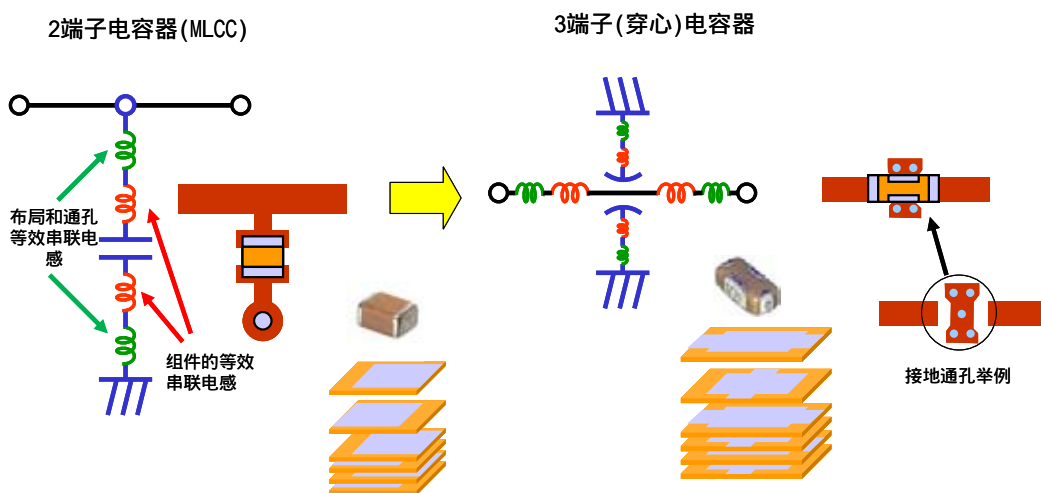


图 4-8 使用 3 端子电容器减小等效串联电感机理

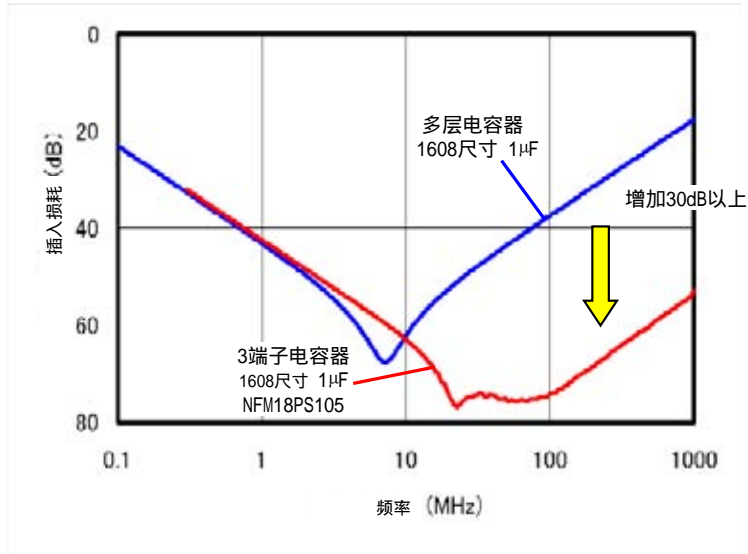


图 4-9 3 端子电容器插入损耗特性

除了上述效果之外，3 端子电容器的特点是在不干扰旁路方向电流的情况下形成 T 型滤波器来增加插入损耗，因为其电路布局和通孔电感（ ESL_{PCB} ）与噪声路径相串联，输入/输出端子安装在噪声路径上，如图 4-10 所示。虽然其 ESL_{PCB} 在接地端子安装处进入旁路方向，可通过连接此组件下方的地面和多个通孔，并使用多层基板减少这种现象。²⁾

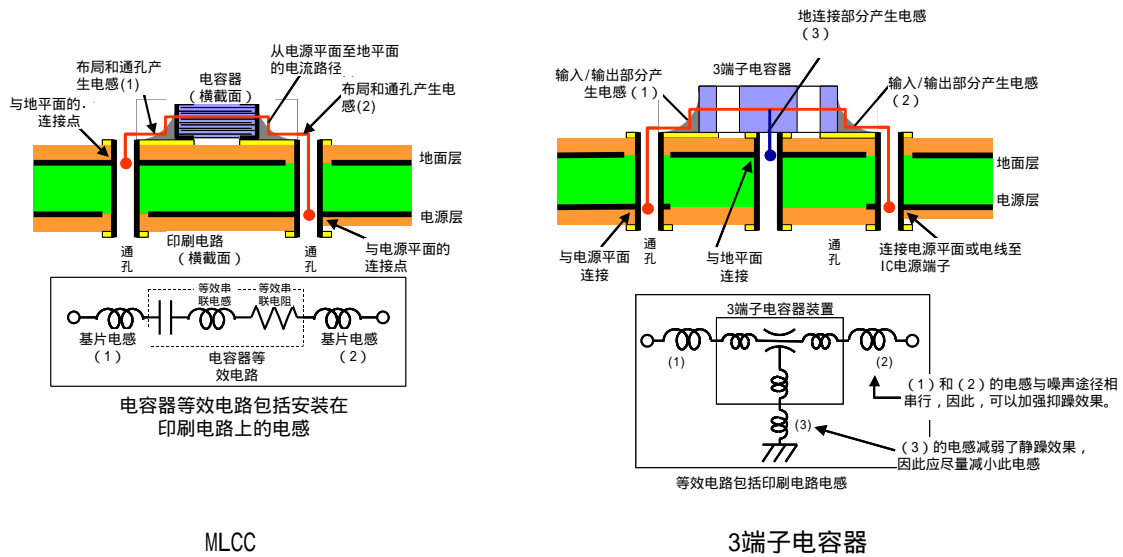
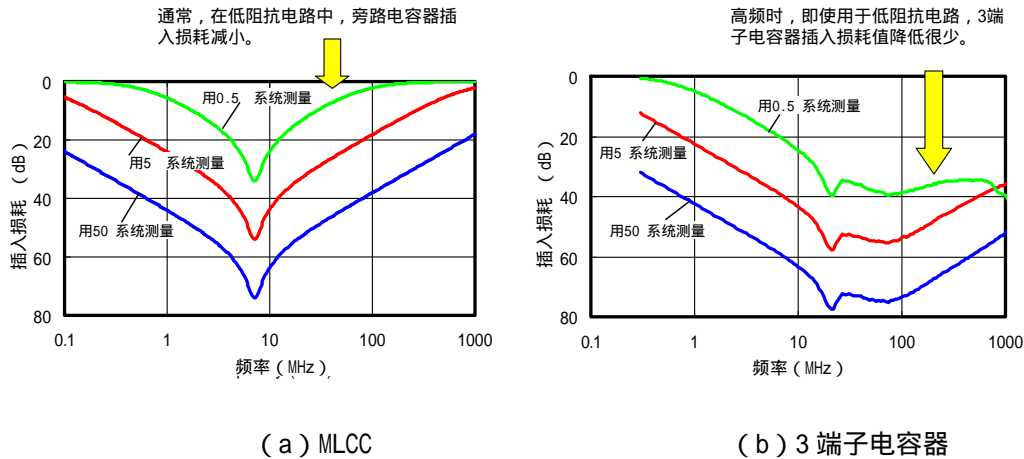


图 4-10 包括基片电感的电容器等效电路

基于上述原因，与 MLCC 相比，3 端子电容器可以达到更高的插入损耗，即使安装在印刷电路中。此外，安装在低阻抗电路中造成的插入损耗减小值也小于 MLCC（由于 ESL_{PCB} 与噪声路径串行）。

在图 4-11 中，对不同的测量系统阻抗（以 1μF 电容器为例）的插入损耗波动进行了对比。假设电容器用于电源电路，阻抗较低，测量系统的阻抗为 0.5Ω、5Ω、50Ω。在低阻抗电路中，3 端子电容器的插入损耗在 1GHz 时仍然大于 30dB。这表明 3 端子电容器的插入损耗值大，T 型等效串联电感（如图 4-8 所示）在高频范围（约为 1GHz）有效。



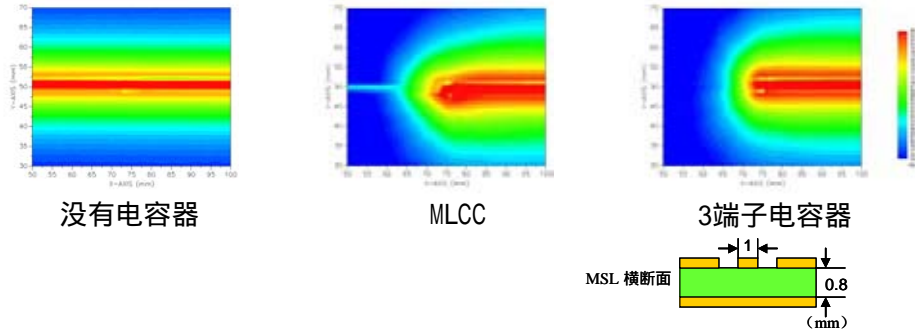
(a) MLCC (b) 3 端子电容器
 图 4-11 当测量阻抗不同时，特性改变（计算值）
 （假定测量系统的阻抗为 0.5 、 5 、 50 ）

在图 4-12 所示，通过实验，显示了在不同测量阻抗的情况下，电容器静噪效果的波动。在这种情况下，通过对电容器周围的近磁场分布进行测量来对旁路电容器运行进行观察。直观的说明了噪声通过电容器分流至地面的路径，因为此近磁场与电流相一致。

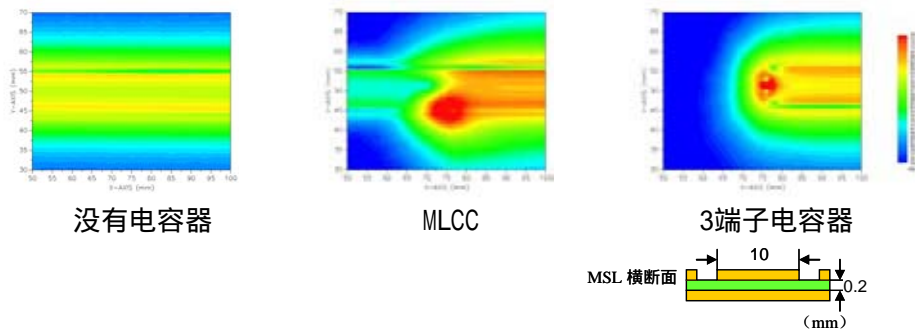
此试验中使用的线路特性阻抗约为 (a) 60Ω 和 (b) 3Ω。为了消除反射波，线路两端终止。测量频率为 100MHz，测量范围为 40mmx30mm，在中心安装电容器。图显示了噪声从右侧进入，从左侧电流流出的密集处观察电容器静噪效果。电流密度用颜色表示，颜色从蓝色至红色，电流逐渐加强。

从图 4-12 实验得出的结果来看，可以肯定 MLCC 可以控制 (a) 60Ω 的噪声，但是对于 (b) 3Ω 来说，其过滤性能就会减小（电流流向左侧）。但是，3 端子电容器可以很好的控制 (a) 60Ω 和 (b) 3Ω 的噪声。可以发现，与 MLCC 相比，3 端子电容器约趋近于地面，其噪声扩散越小。这可能是由于 3 端子电容器与组件正下方的地面通过通孔连接。

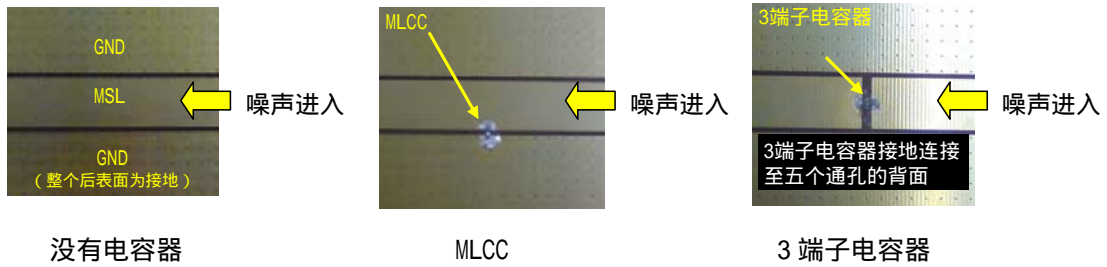
因此，低特性阻抗的宽线路将会应用于电源电路（正如此试验所示），3 端子电容器将会是静噪更好的选择。



(a) 当特性阻抗约为 60 时



(b) 当特性阻抗约为 3 时



(c) 参考：电容器安装状态 ((b) 3 接线厚度)

图 4-12 测量阻抗不同，电容器周围电流分布改变

4.4 电源用 3 端子电容器列表

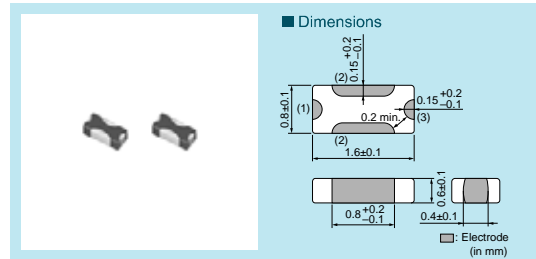
如下为适合电源用 3 端子电容器列表。要想了解最新资料，请参阅目录。

- 1608 尺寸

- 高衰减型 NFM18PS 系列

- 电容范围

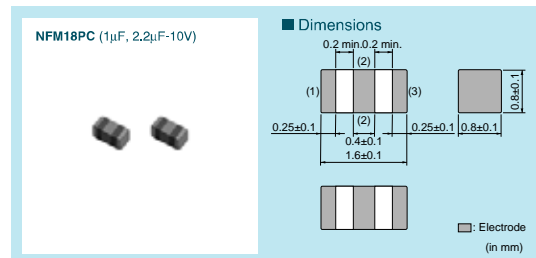
- 0.47-1.0 μ F



- 大容量型，最大 2.2 μ F，NFM18PC 系列

- 电容范围

- 0.1-4.7 μ F

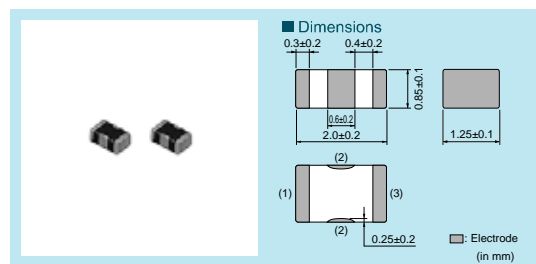


- 2012 尺寸

- 大容量型，最大 10 μ F，NFM21PC/PS 系列

- 电容范围

- 0.1-10 μ F

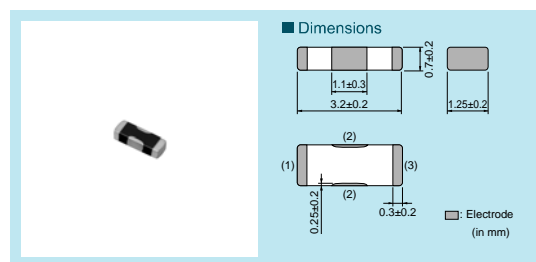


- 3212 尺寸

- 额定 50V NFM3DPC 系列

- 电容范围

- 0.022 μ F



5. 电感器与 LC 滤波器

当去耦电容器不足以抑制电源噪声时，电感器与 LC 滤波器的结合使用是很有效的。在本章，我们将要介绍电感器和 LC 滤波器适合于控制电源噪声。

扼流线圈与铁氧体磁珠是用于电源去耦电路很常见的电感器。铁氧体磁珠用于控制频率比较高的频率范围时，而扼流线圈主要用于控制特定频率。虽然本手册中所述的铁氧体磁珠对于噪声测量用得更多，但是扼流线圈也用于噪声控制；所以本章对它们两个都要介绍。我们还将介绍电感器和电容器结合使用，且用于电源的 LC 滤波器。

5.1 使用一个电感器的去耦电路

当形成加入电源带有电感器的去耦电路时，常规配置如图 5-1 所示。图 5-1 (a) 显示出加入一个电感器的去耦电容器，图 (b) 通过向图 (a) 加入一个电容器，显示出更高性能的 π 形滤波器。由于电源接线中的许多电容器是同其他 IC 一起使用的，即使图 (a) 几乎可以作为一个 π 形滤波器，然而图 (b) 的配置可以更明确地抑制噪声。

一般来说，较大阻抗的电感器（因而具有较大的电感）会显示出优良的噪声抑制效果（然而，在 5.6 章提到的几点需要考虑）。

另一方面，电感器按照图 5-1 使用时，IC 工作所必需的瞬间电流要由电感器和 IC 之间的电容器提供。这种电容器必需的电容会变大，与方程 2-2 所示的电感相对应。所以，不推荐使用过大的电感。

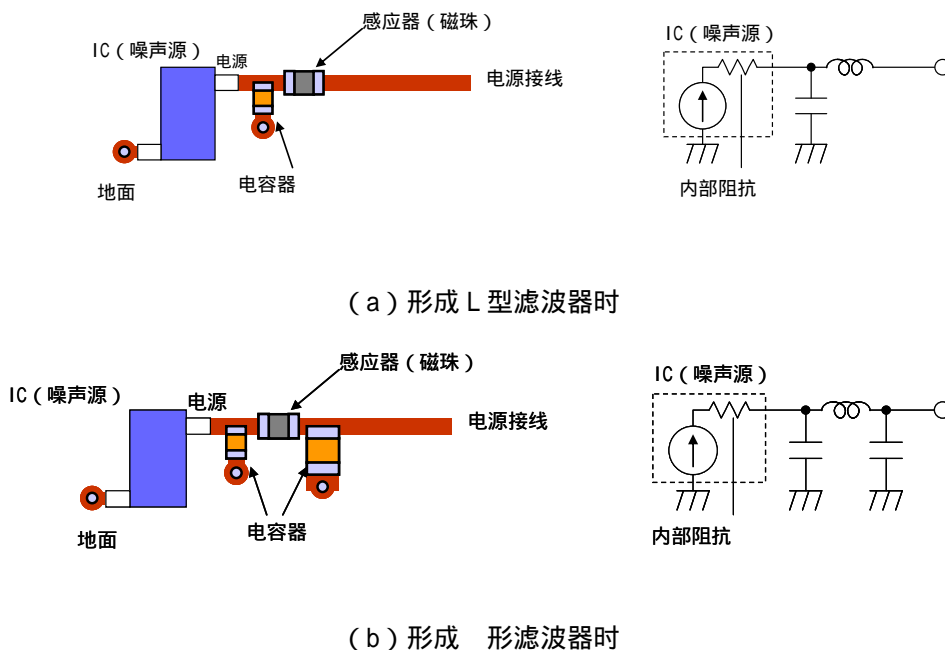


图 5-1 与电感器结合使用的电源滤波器的结构

5.2 电感器的频率特性

在 5.1 章节，我们已显示使用带有电容器的电感器的例子。在本章，我们要描述单独使用电感器时的特性，以助于了解其特性。电感器要按照图 5-2 所示的噪声路径有顺序地嵌入。电感器的插入损耗特性是作为旁通电容器的低通滤波器的特性。这是由于电感器的阻抗根据频率相应地

增加，并且阻抗越大，插入损耗就越大。

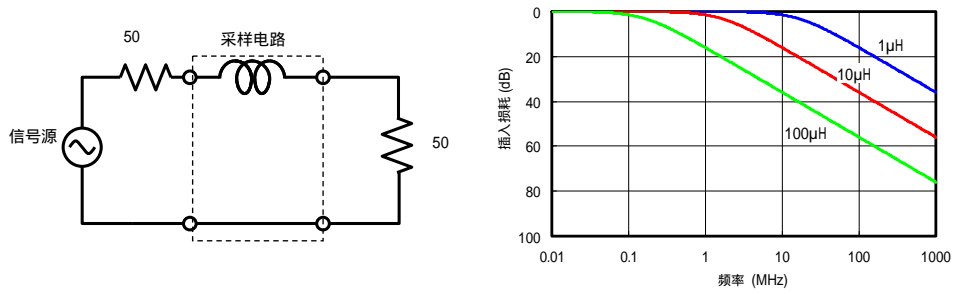


图 5-2 插入损耗测量电路和理想电感器的频率特性

实际的电感器，很像电容器，有频率特性。电感器的简化等效电路与阻抗频率特性的形状如图 5-3 所示。

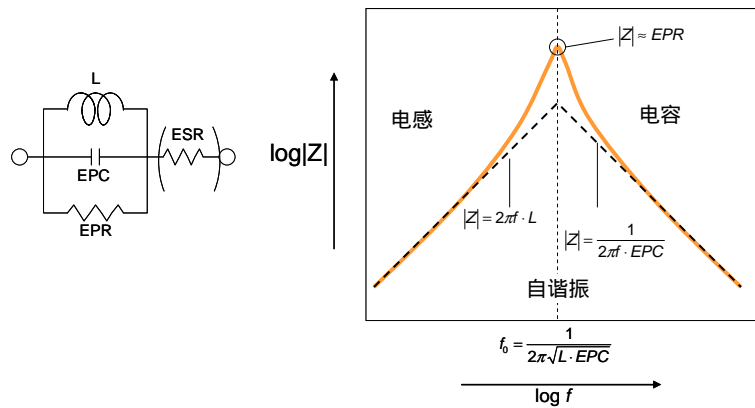


图 5-3 电感器的等效电路与频率特性

图 5-3 所说的等效电路中可以看出，等效并联电容（EPC）与等效并联电阻（EPR）同电感线圈（L）出现并联。所以，电感器阻抗在较低频率下显示出诱导性，并且几乎呈线性增加。然而，其在特定频率（自谐振频率 f_0 ）时达到最大值，并且之后显示出电容率，此后几乎呈线性下降。

自谐振频率的阻抗受到 EPR 的限制，电容区的阻抗受到 EPC 的限制。所以，为了在高频下实现大阻抗，选择带有小 EPC 的电感器变得很重要。绕组线产生的电容显示在 EPC 中。另外，除了这些，绕组线的电阻要根据 ESR（等效串联电阻）进行考虑。

如图 5-4 所示的是对比随着电感器的电感变化的阻抗以及插入损耗的例子。当采取 50Ω 的系统进行测量时，在电感器阻抗接近 100Ω 的频率下，对于插入损耗会出现一个切断（3dB）频率。如同电容器，与测量系统的阻抗相比，它与电感器阻抗达到相当规模时的频率相对应。

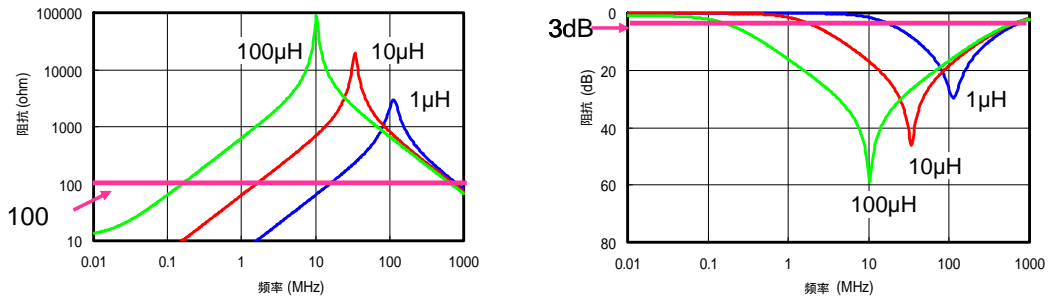


图 5-4 电感器的阻抗与插入损耗的对比（对于 LQH3C 系列）

如图 5-5 所示，这些插入损耗特性随着测量系统阻抗的变化而变化。相对于 3.4 章节中所述的电容器，使用一个电感器，电感器的插入损耗随着测量系统阻抗的降低而减少。所以，当我们试着为低阻抗线路抑制噪声时，一般来说电感器是一个更适合的元件。（然而，当用于电源时，一个低阻抗的电源必须是可用的；因此，电感器不单独使用，而是如图 5-1 所示的铜电感器结合使用。）

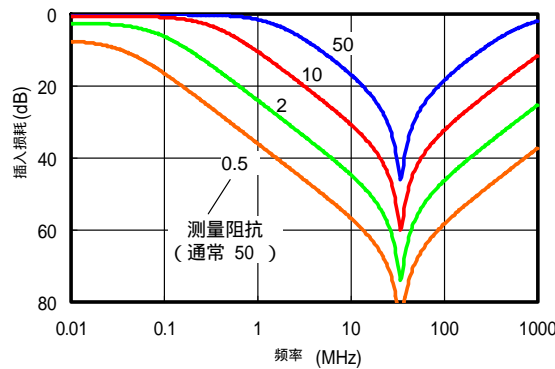


图 5-5 插入损耗的波动与测量系统阻抗有关
 （计算值、采样线路 LQH3C 10µH）

5.3 铁氧体磁珠的频率特性

当铁氧体磁珠作为电感器来使用时，其特性与 5.2 章节所述的稍有不同。

5.3.1 铁氧体磁珠的基本结构

如图 5-6 所示，铁氧体磁珠的基本结构由一个圆柱（珠型）铁氧体，中间有铅体穿过。（虽然近来已经出现内部螺旋的多层铁氧体的铁氧体磁珠，如图 5-6 右下图所示，基本结构如上所述。）由于铁素体内形成磁通量以响应通过铅体的电流，就有可能得到有关铁素体磁导率的电感和阻抗。¹²⁾

该电感波动根据铁素体磁导率的频率特性，一般来说是不固定的。另外，产生的阻抗受到铁素体磁损耗的强烈影响。所以，相对于电感来说，铁氧体磁珠的特性通常按照阻抗的频率特性来表达。

铁氧体磁珠的等效电路如图 5-7 所示，阻抗频率特性的例子如图 5-8 所示。

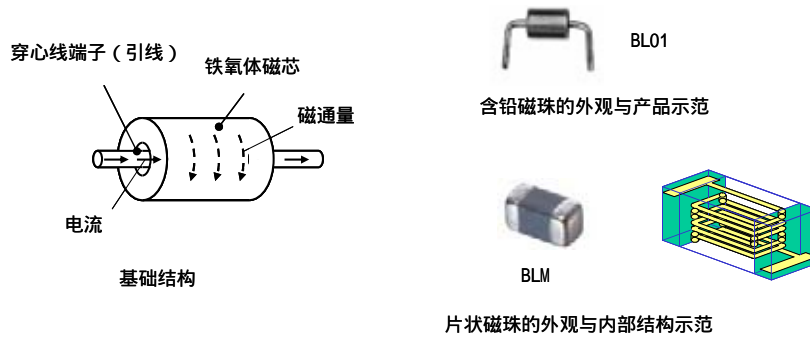


图 5-6 铁氧体磁珠结构

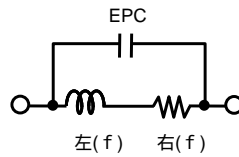


图 5-7 铁氧体磁珠的等效电路

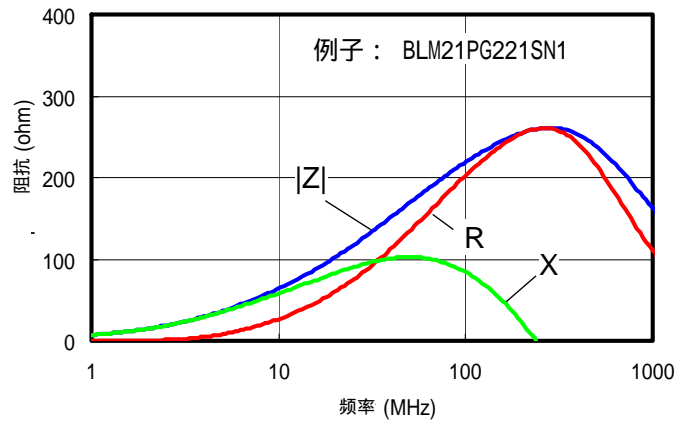


图 5-8 铁氧体磁珠阻抗的频率特性

5.3.2 铁氧体磁珠的频率特性

图 5-8 中， $|Z|$ ， R 和 X 分别表示阻抗、元件电阻和元件电抗的绝对值。对于 10MHz 以下的相对低的频率，阻抗主要表示着电抗，但对于超过 10MHz 的频率，元件电阻会增加。对于占大多数的元件电阻的频率，铁氧体磁珠通过转换噪声为热能，显示出吸收噪声的倾向。该电阻元件不直接产生电流，并且不会影响电源（没有出现直接电流的能量损失），因此，这是一个适合电源噪声抑制的元件。

另外，如图 5-8 中，在大约 300MHz 频率时阻抗显示达到最大值；该曲线比图 5-4 所示的电感器温和些。这表明，由于带有电感器的 EPC，铁氧体磁珠在高频时会降低阻抗，共振的 Q 值由于元件电阻而变小。

另一方面，铁氧体磁珠的插入损耗特性的斜坡倾向要小于纯电感器。图 5-9 显示出图 5-8 所示的铁氧体磁珠的插入损耗特性。对于一个纯电感器，插入损耗特性的斜坡是 -20 dB/dec，以虚线表示，然而，铁氧体磁珠插入损耗特性的斜坡更温和。

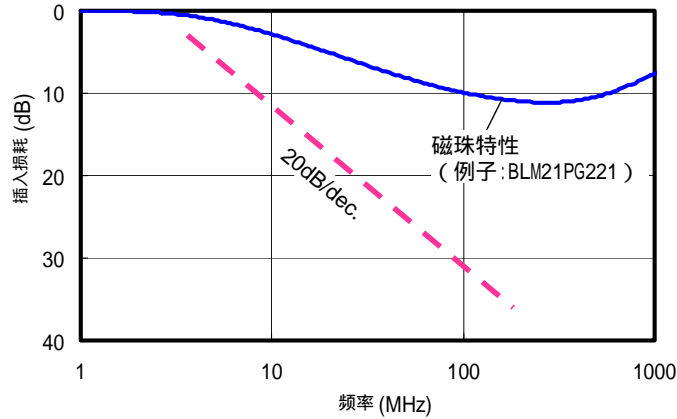


图 5-9 铁氧体磁珠的插入损耗特性的例子

5.3.3 改善铁氧体磁珠的高频率特性

如图 5-7 所示，铁氧体磁珠也有杂散的电容 EPC，这成了在高于 100MHz 的高频时阻抗减小的主要原因。通过将 EPC 变小，已改良的高频阻抗的产品都已经商业化，并用于几百 MHz 以上频率的高频噪声测量。图 5-10 显示了带有简化 EPC 元件的阻抗特性的例子。

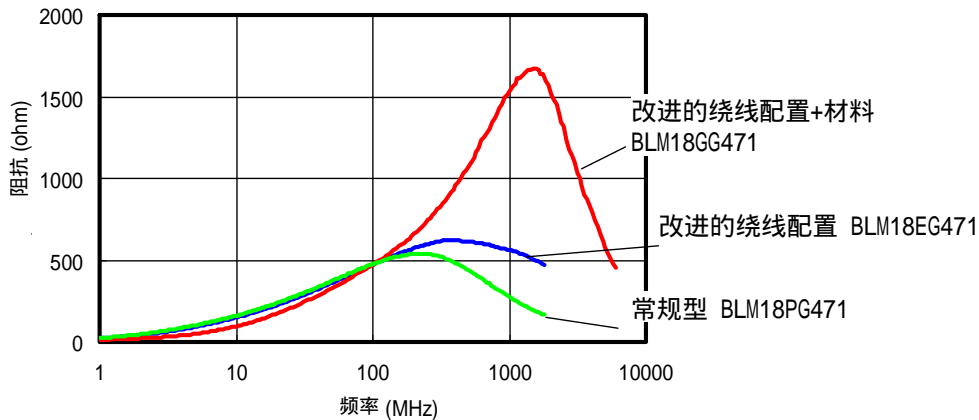


图 5-10 通过减小 EPC，已改良的高频特性铁氧体磁珠的阻抗特性

5.4 电容器和电感器结合使用的特性

当电感器用于电源时，往往是结合使用电容器。所以，我们将介绍当电容器和电感器结合使用时 LC 滤波器的特性。

LC 滤波器插入损耗特性的理想形式如图 5-11 所示。当测量系统阻抗固定并且 L 与 C 间的比率适当建立时，我们可以得到 20dB/dec. 斜坡每个元素的频率特性。⁹⁾

结构和频率特性以及LC滤波器

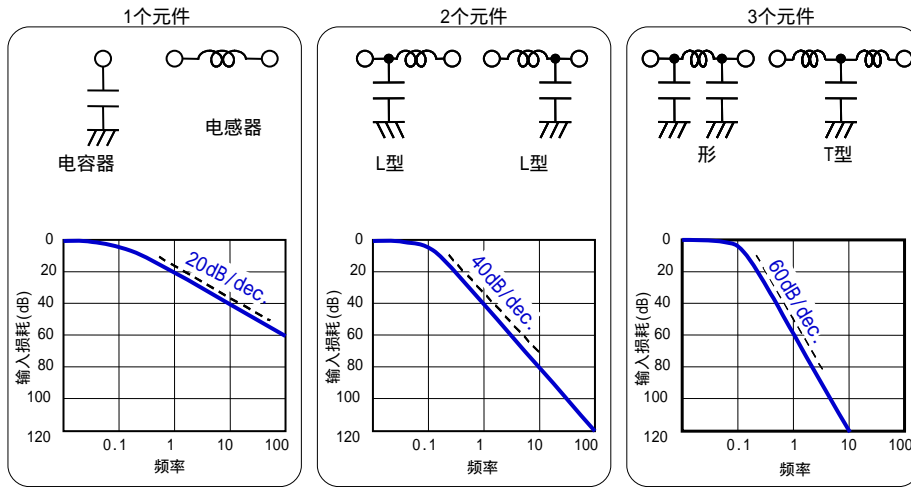


图 5-11 LC 滤波器的插入损耗特性

一般来说，电源线路的阻抗不是个常数，因此，同所有频率与 L 和 C 之间的比率进行匹配是很困难的。另外，电容器总是放置在电感器和 IC 之间，5.1 章节中所述；滤波器是 L 型或者 π 形。所以，测量系统阻抗的情况得出，L 与 C 之间的比率是关闭的，如图 5-12 所示。

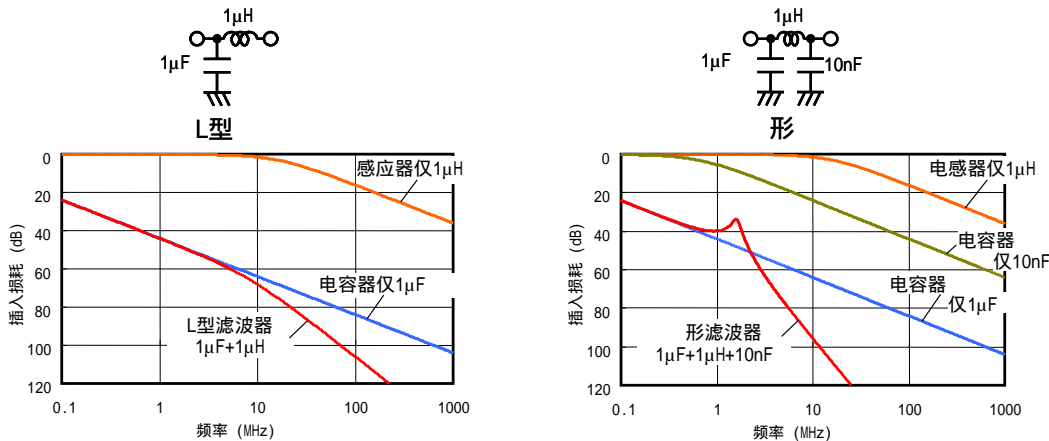


图 5-12 L 型和 π 形滤波器的插入损耗特性的例子（计算值）

另外，构成 LC 滤波器的电容器和电感器的特性也在图 5-12 中所示。当 L 与 C 之间的比率不这样匹配时，代表衰减区域的曲线斜坡不是个常数，有一个拐点。同时，由于我们早前已讨论过，电容器和电感器在高频下不会理想地工作。所以，为了预测实际的频率特性，此影响必须也要考虑进去。

当 MLCC 与铁氧体磁珠结合使用形成 L 型滤波器时，插入损耗的计算值如图 5-13 所示。如图所示，实际的 LC 滤波器的频率特性不同于图 5-11。作为一个整体趋势，通过结合使用铁氧体磁珠，可以产生更大的总插入损耗。

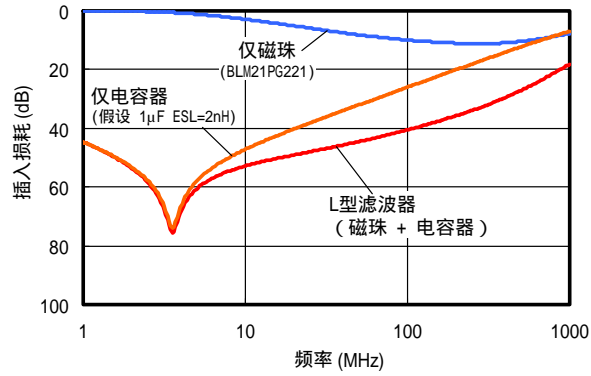


图 5-13 使用铁氧体磁珠的 L 型滤波器的特性 (计算值)

图 5-14 显示出实验中结合使用电容器与铁氧体磁珠时，以确定噪声控制效果波动的例子。在此例中，噪声源是工作在 4MHz 的 IC，并且穿过去耦电路的噪声可以用电压波动和频谱观察到。第一行显示的是没有铁氧体磁珠的测量 (使用 1μF 的去耦电容器)，第二行是通过向第一行加入一个铁氧体磁珠，对 L 型滤波器的测量，第三行是通过向第二行加入一个 10μF 电容器，对 π 形滤波器的测量。在第二行与第三行的例子中，凡是使用铁氧体磁珠的，经确认电压波动与频谱均得到巨大改善。

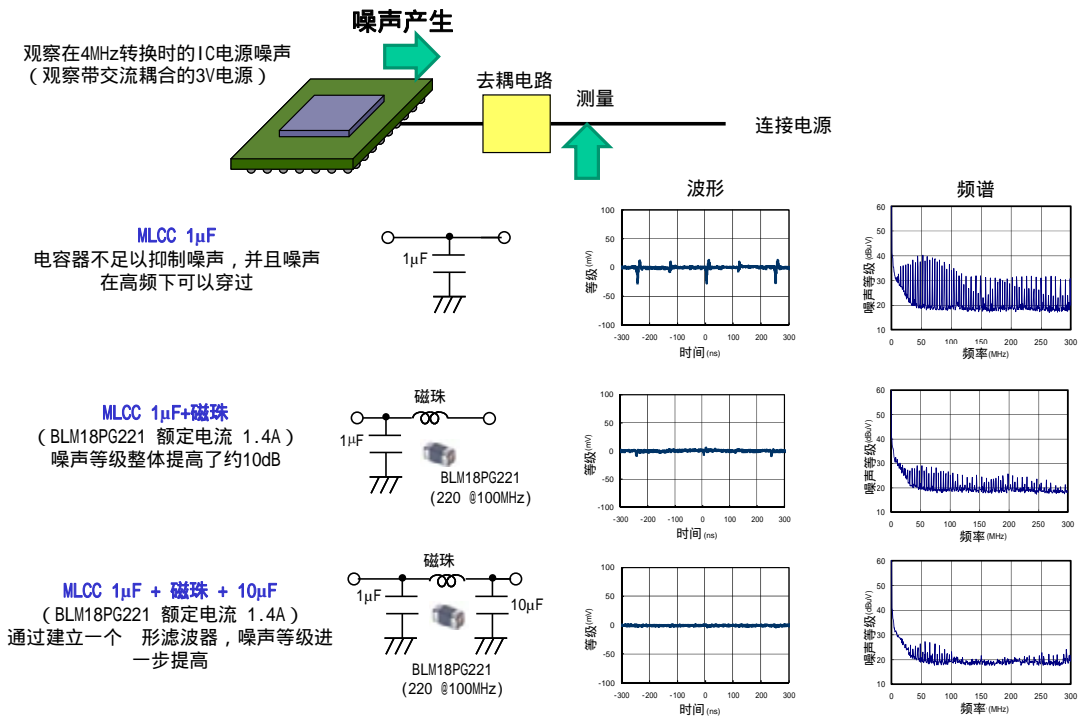


图 5-14 铁氧体磁珠对噪声抑制与改善的例子

5.5 LC 滤波器

据第 2 章所述，电容器的插入损耗在高于 10MHz 频率时趋向于变小。为做出改善，结合使用带有小电容的电容器并利用自谐振，产生的总插入损耗就会变大。然而，在这种情况下，两个电

容器间出现的反谐振会减小其改善作用。为避免这个问题，LC 滤波器与铁氧体磁珠结合使用以代替小电容的容器，这是很有效的。¹¹⁾

图 5-15 显示出此 LC 滤波器的例子，图 5-16 显示出结合使用此滤波器与一个大电容的容器时的频率特性的计算结果。

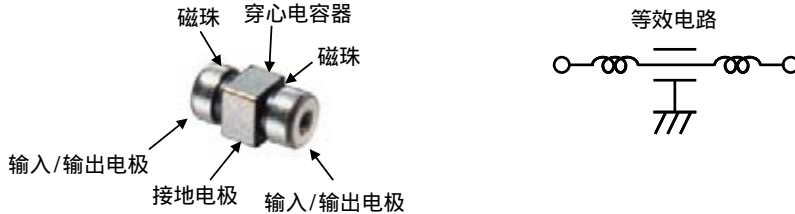
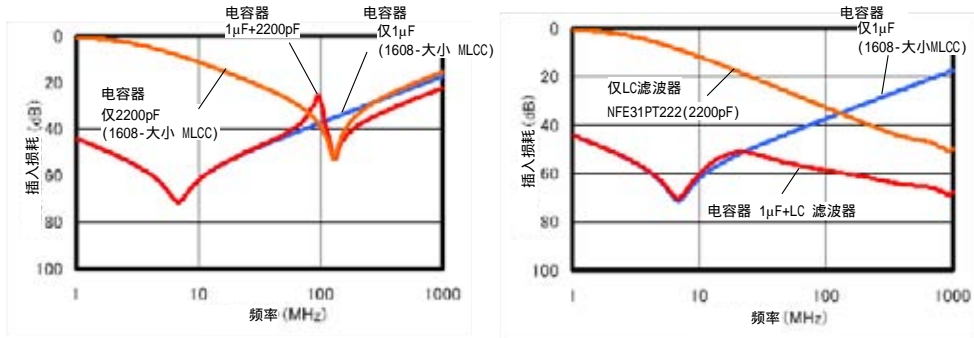


图 5-15 为电源的 LC 滤波器 NFE31



(a) 结合使用两个电容器时

(b) 结合使用一个电容器和一个 LC 滤波器时

图 5-16 电源滤波器的频率特性（计算值）

图 5-15 显示出馈通电容器与高频特性铁氧体磁珠间组合使用的元件，假定同一个大电容容器的使用。两端的输入与输出电极同金属模型终端相连，在实现 6A 额定电流时，产生的串联电阻非常小。

如同图 5-16 (a) 所示的计算结果，当两个电容器只是简单组合使用时，它们的插入损耗可能小于发生反谐振频率地方的一个电容器。图 5-16 (b) 显示出，当结合使用 LC 滤波器与铁氧体磁珠以代替小电容容器时，可以预防这种问题，这样就可能在接近 1GHz 高频下形成有效的滤波电路。我们可以假设，使用 LC 滤波器有抑制反谐振与内置铁氧体磁珠的元件电阻的效果。

图 5-17 是实验中结合使用 LC 滤波器与电容器时，确定噪声抑制效果波动的例子。如同图 5-14，工作在 4MHz 的 IC 被当作噪声源使用，并且穿过去耦电路的噪声可通过电压波动与频谱观察到。（具有高灵敏度的频谱分析仪可以考虑到多分钟噪声的观察。）

第一行显示的是 1μF MLCC 同 2200pF 电容器(6mm 的线路嵌入中间位置以产生强烈的反谐振)结合使用的情况。假如这样，电容器间的反谐振对电源电压造成强烈的振荡，并且在该频率下可以观察到强大的频谱。

第二行显示的是带有 2200pF 电容的 LC 滤波器在同一位置替换 2200pF MLCC，并且为第三行而向第二行加入一个 10μF MLCC 的情况。无论是哪种情况，对电压波动与频谱都产生显著的改善。尤其是频谱维持在极低水平上，可以确认的事实是，带有馈通电容器的 LC 滤波器对高频噪声有着优良的抑制效果。

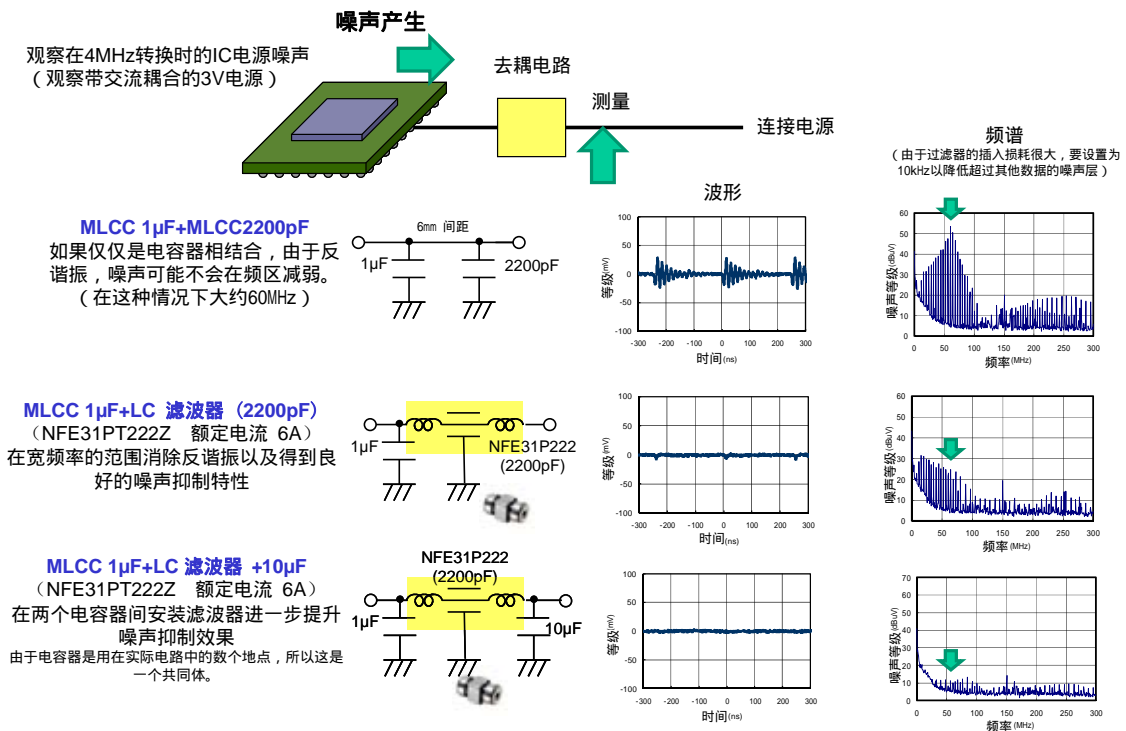
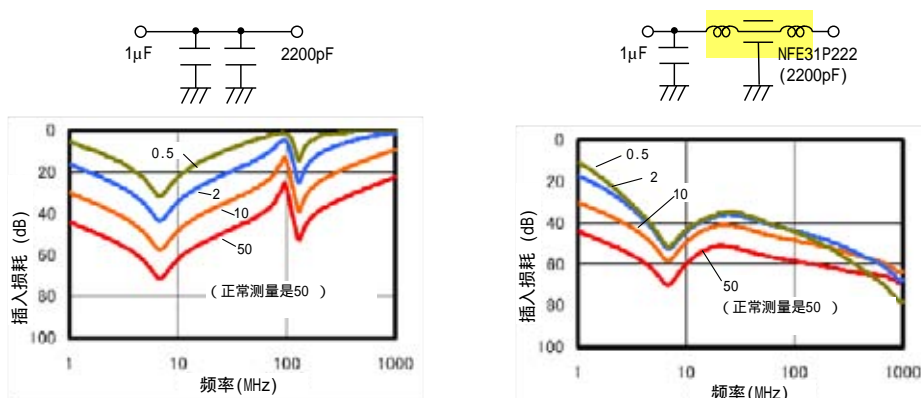


图 5-17 使用 LC 滤波器以改善噪声抑制的例子

另一方面，图 5-16 描述的插入损耗特性等等，就是测量阻抗为 50Ω 并且电源阻抗经常小于测量阻抗的情况。所以，我们将显示出特性波动的结果，因为图 5-18 中的测量阻抗是不同的。这是从图 5-16 计算结果中转换过来的。

如图 5-18 (a) 中仅仅组合使用两个电容器时，插入损耗在低阻抗电路中趋于锐减，即使对于图 5-17 (b) 中与 LC 滤波器相结合的低阻抗线路，需要维持一定程度影响的趋势。这被认为是这样，因为当电容器的效果在低阻抗电路中减小时，电感器的效果增加，所以，与 LC 滤波器结合使用时，这两个效果就会抵消。因此，与电感器结合使用的电源去耦电路预计对电源阻抗中相对稳定的波动会显示出噪声抑制效果。



(a) 结合使用两个电容器时

(b) 电容器与 LC 滤波器结合使用时

图 5-18 测量阻抗不同的特性 (计算值)

5.6 为电源使用电感器时的注意事项

尽管从根本上说电感器的噪声抑制效果随着阻抗增加而增加，正如我们迄今所描述的，由于 EPC 影响，阻抗在高频下会停止增加。而且为了噪声抑制或共振抑制，一般来说，元件电阻在阻抗上越大，效果就越好。从这个观点看，我们需要选择一个可以噪声抑制的元件。

另一方面，从提供低阻抗电源的观点来看，由于电感器的使用能产生增加阻抗的效果，我们将需要在电感器与 IC 间抵消拥有足够电容的电容器（确定必需电容的准则在方程式 2-2 中已指出）。因此，不推荐使用徒然大阻抗的电感器。

当为电源使用电感器时，由于直流电阻以及另外的电流，考虑到饱和，我们需要选择一个元件。

5.6.1 直流电阻的影响

由于电感器的直流电阻一般都能导致能量损失以及热量产生，当为电源使用电感器时，让电阻变小是有利的。除此之外，由于压降产生的电压波动可能会产生问题。

由于直流电阻可以降低恒流通过线路的电压，为了弥补压降，必须将电源电压维持为高。电流大波动的地方，电压波纹可能会出现如下：

$$\Delta V_{ripple} = R_{dc} \cdot \Delta I_{ripple} \quad (5-1)$$

这里， ΔV_{ripple} 、 R_{dc} 与 ΔI_{ripple} 分别表示电压波纹、元件的直流电阻、以及电流波动。例如，当 1A 的电流波动适用于约 $100 \text{ m}\Omega R_{dc}$ 的元件时，会出现 100mV 的电压波纹。因此，对于带有小许电压波纹的低电压电源，我们需要选择带有小直流电阻的元件。

5.6.2 电流饱和的影响

一般来说，当铁磁性材料的磁通密度，例如铁素体，达到饱和时，其磁导率趋向于变小。因此，我们需要把重点放在事实上，这就是当大电流流过时，带有磁芯的电感器的电感和阻抗会减小。为了确认此影响，我们需要观察电流变大时的噪声等级。

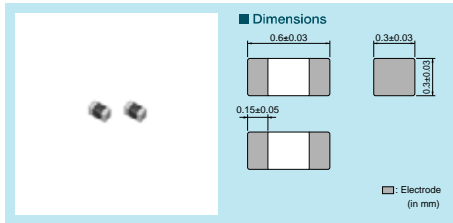
5.7 适合电源的电感器产品系列

已经商业化的 Murata 铁氧体磁珠和扼流线圈的主要例子如下列出。
请参考我们的详细目录。

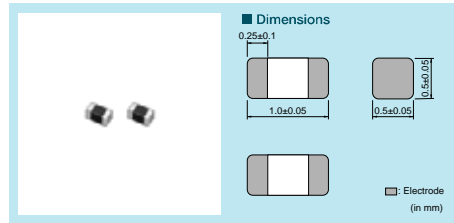
5.7.1 铁氧体磁珠

保持如下直流电阻的型号在电源铁氧体磁珠的产品系列中。

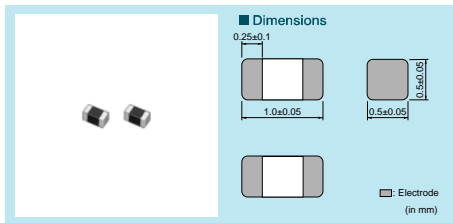
0603 尺寸 BLM03P 系列



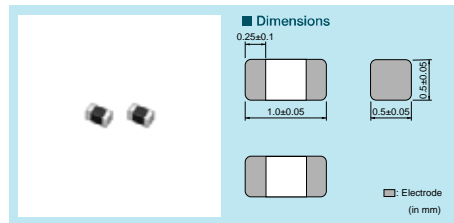
1005 尺寸 BLM15P 系列



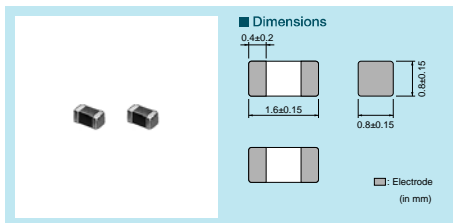
1005 高频改善 (通过结构) BLM15E



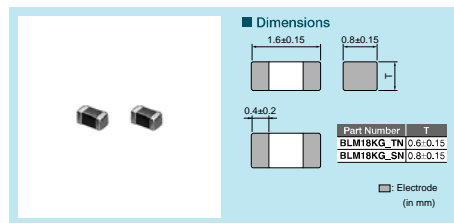
1005 高频改善 (通过结构与材料) BLM15G



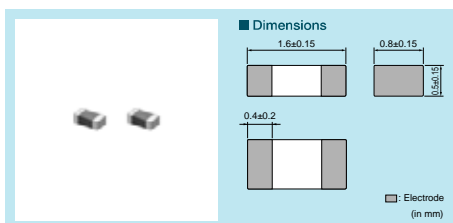
1608 尺寸 BLM18P 系列



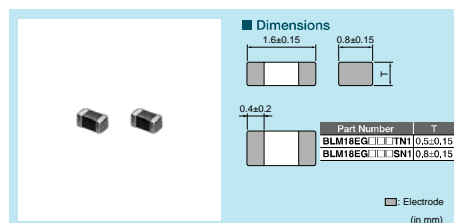
6A 600Ω 的 1608 BLM18K 系列



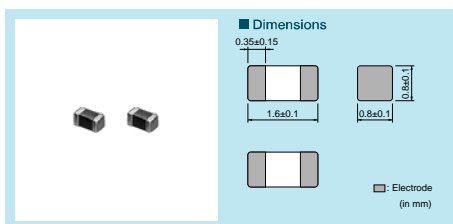
1608 6A 高性能 BLM18S 系列



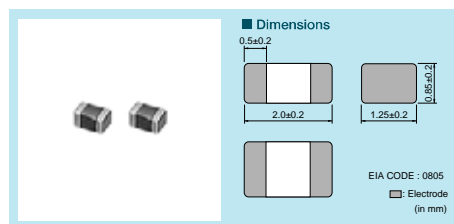
1608 高频改善 (通过结构) BLM18E



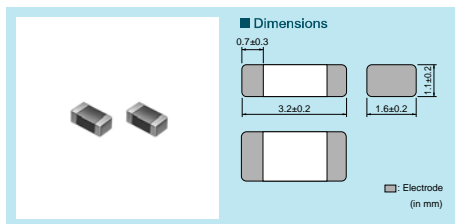
1608 高频改善 (通过结构与材料) BLM18G



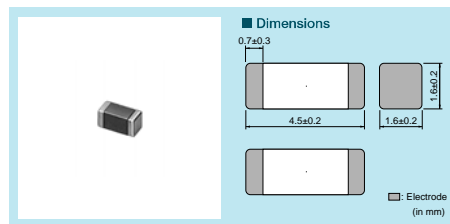
2012 尺寸 BLM21P 系列



3216 尺寸 BLM31P 系列



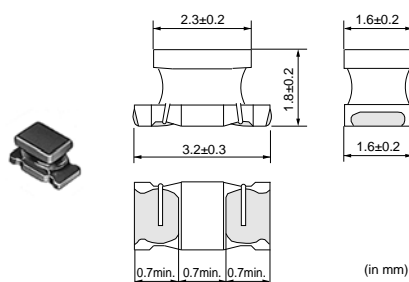
4516 尺寸 BLM41P 系列



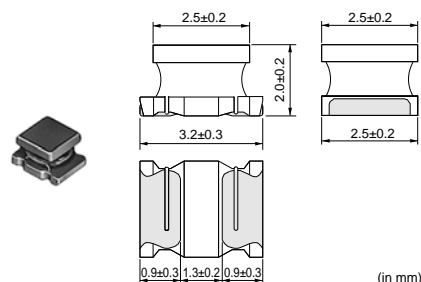
5.7.2 扼流线圈

此产品组能减小直流电阻。

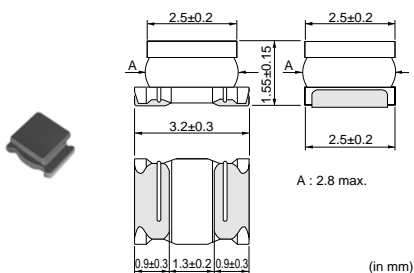
3216 尺寸 LQH31C 系列



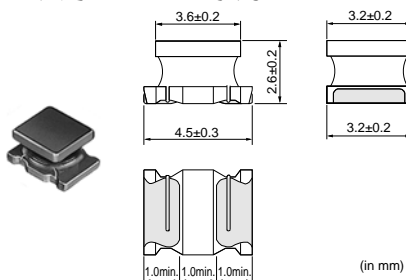
3225 尺寸 LQ32C 系列



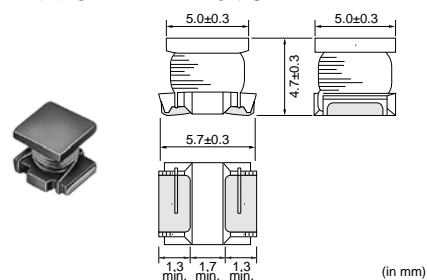
3225 尺寸低直流电阻类型 LQH32C_33, 53 系列



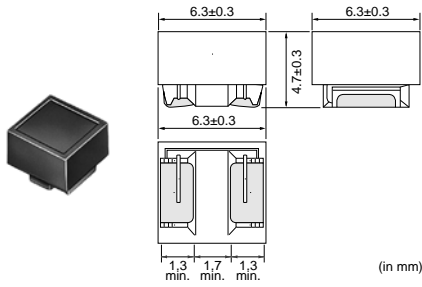
4532 尺寸 LQH43C 系列



5750 尺寸 LQH55D 系列



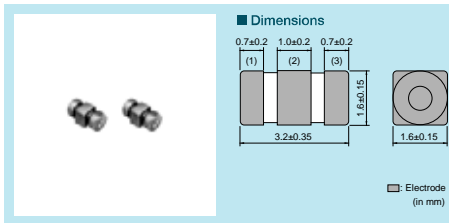
6363 尺寸 LQH66S 系列



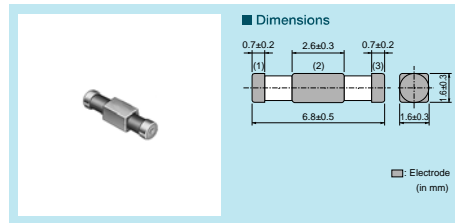
5.8 适合电源的 LC 滤波器产品系列

可以提供铁氧体磁珠与优良高频特性的馈通电容相结合的 NFE 系列，以及与地相结合的 BNX 系列。一般来说，BNX 系列主要用于电源输入部件，例如电源连接器，而不是用于本手册中所述的去耦电路。

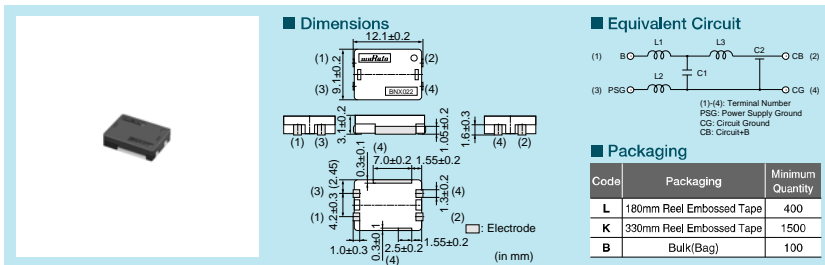
3216 尺寸 NFE31P 系列



6816 尺寸 NFE61P 系列



BNX 系列



6. 抑制电源电压波动

在前面几个章节中，我们主要描述了电源去耦电路的噪声抑制性能/插入损耗特性。在本章的开始，我们主要从电源的电流供应性能的角度描述电源阻抗和电压波动。

为了使数字 IC 准确运行，电源电压应恒定。如图 6-1 所示，当电源电流由于 IC 运行产生波动时，电源电压可能会受电源模块和 IC 之间配线的影响，同时，也受电源模块自身响应特性的影响，造成 IC 故障或影响周围噪声电路。此外，在某种情况下，还可以减小运行速度和降低信号完整性。

使用去耦电容器来防止此电压波动，因为去耦电容器可以在 IC 附近临时提供电流。去耦电容器的这种向电容器提供电流的能力有时叫做充电供应能力。

在本章，将描述去耦电容器抑制电压波动的原理，使用电路简单电流波动作为模型。介绍了电容器抑制电压波动的必要性能。

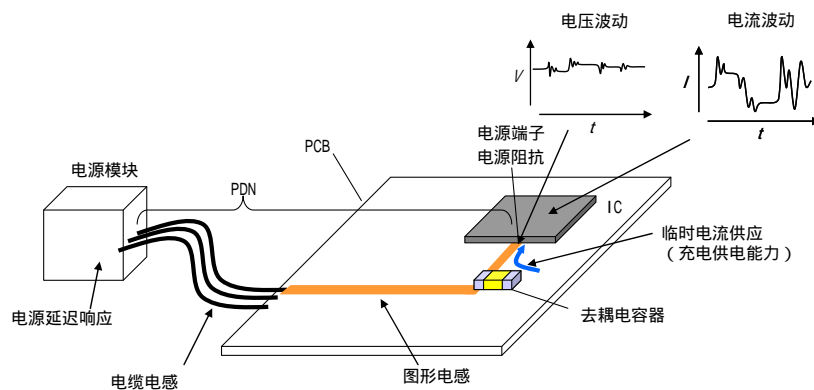


图 6-1 电流和电压波动

6.1 电源阻抗和电压波动之间的关系

当 IC 电源端子与配电网 (PDN) 相连，电源处的电压波动大小和 IC 电源电流波动 (如图 6-2 所示)，可由以下公式得出：

$$|V| = |\Delta I \cdot Z_p| \tag{6-1}$$

在此公式中， ΔV ， ΔI 和 Z_p 分别表示电压波动 (V)，电流波动 (A) 和 PDN 电源阻抗 ()。
 ΔV 为 IC 电源端子处的电压， Z_p 为电源端子处的阻抗。

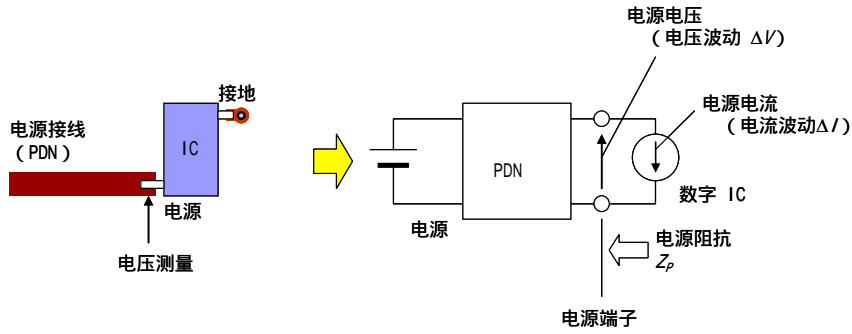
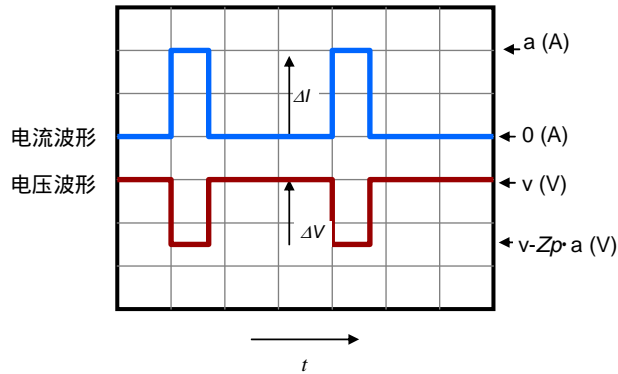
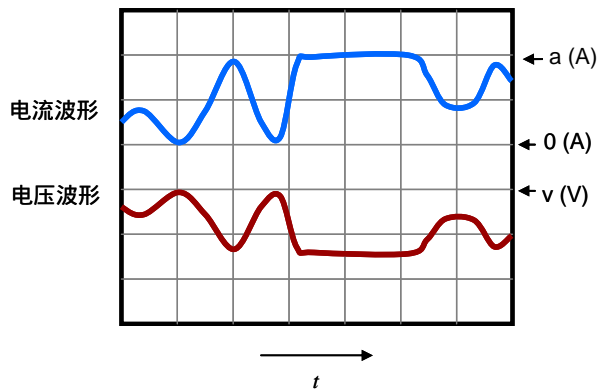


图 6-2 电压波动测量位置

电源电压波动（如图 6-3 所示）时的电压波形实例。在此情况下，电源阻抗为电阻系数（没有频率特性）。图 6-3（a）显示电流简单的呈阶梯状变化，图 6-3（b）则为较复杂的模式。无论是哪种情况，都出现电压波动，这与电流波动有关（当电流增加时，电压降低）。



(a) 当电流呈阶梯式波动



(b) 当电流以更复杂的形式波动

图 6-3 与电流偏差有关的电压波动实例

6.2 使用电容器的电压波动

在实际 PDN 中，阻抗可能会有电感抵抗和频率特性，而没有电阻系数，因为去耦电容器和配线产生电感，因此，电压波形可能在电流波形中出现来显示复杂的变化。测量结果如图 6-4 所示。

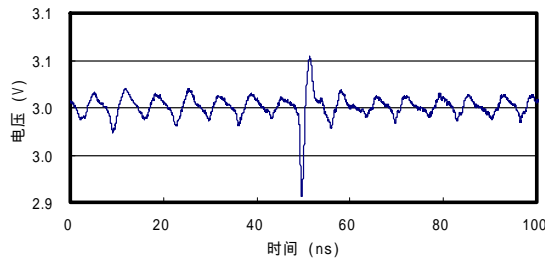


图 6-4 数字 IC 电源电压测量实例 (3V 线)

所以，为了理解使用去耦电容器时基本电压的波动，当电流呈现阶梯式波动时，需要考虑到电压波形。

当电流流经简单模式电源时（如图 6-5 所示），要考虑到电压波动。为了简化，假设没有周边因素（包括配线电感），并且 PDN 仅由一个电容器组成。电压波动由电路模拟器计算，然后假设 IC 电源电流呈阶段式波动，如图 6-3 (a) 所示。设置电源电压为 3V，电源阻抗为 0.5 Ω ，电流幅值为 1A，发射时间为 10ns，脉冲宽度为 1 μ s。

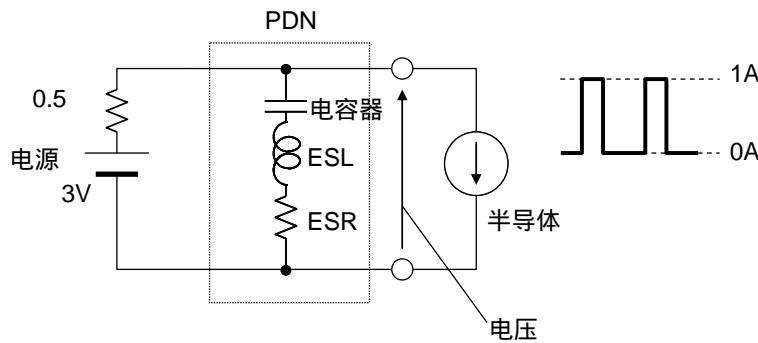


图 6-5 电压波动计算模式

计算结果如图 6-6 所示。为了检查趋势，使用 2 μ F、5 μ F、10 μ F 这三种电容器。每个电容器都有 10nH 的等效串联电感（包括安装电感 ESL_{PCB} ，假设使用带引线的电解电容器）和 50 m Ω 的等效串联电阻。

图 6-6 的左侧图为电压波形，电流波形在上方作为对照。图 6-6 的右侧图为电容器阻抗的频率特性。

对于电压波形来说，尖峰出现在发射阶段，由于电容器有放电的特性，电压逐渐减小。此后，可以观察到电压逐渐升高，其原因是电流脉冲结束以及电容器开始充电。因为电容器充放电的时间与电容相关，曲线坡度会根据电容器电容产生变化，造成电压波动范围也发生变化。

可以从图 6-6 中看出，当电容较大时，电压充放电时的波动就会减小。此外，此阶段的波动范围与低频率侧的电容区阻抗（右侧的阻抗特性）大小有关。当阻抗较小时（图中的下曲线），电压波动范围也会减小。为了减小电容器充放电产生的电压波动，有必要使用具有足够大电容的电容器。

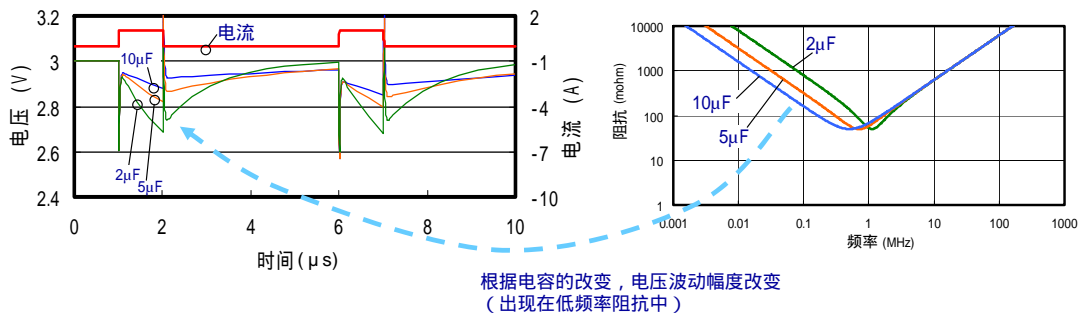


图 6-6 使用电容器的电压波形实例 (计算值)

为了观察有关图 6-6 更详细的发射时间尖峰计算结果，图 6-7 显示了扩展的时间轴 (10μF 电容器)。没有 ESR 或 ESL 的理想电容器计算结果也制成图表来进行对比。当理想电容器没有出现尖峰时，在发射时间，带有 ESR 或 ESL 的电容器出现尖峰。尖峰的大小主要与 ESL 有关。在右侧的阻抗特性中，电容器与高频阻抗相关，电容器变成电感型 (小阻抗：最底部的曲线有较小的尖峰)。

当尖峰较深，即使使用了拥有足够电容的电容器，电压波动可能不会停留在额定电源电压的范围内。如果此尖峰造成问题，ESL 必须减小。

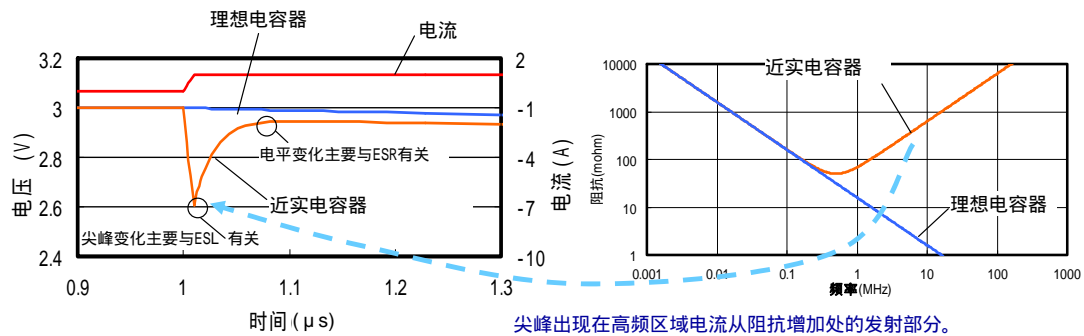


图 6-7 使用电容器时的电压波形发射部分

因此尖峰的大小除了与电容器 ESL 有关之外，还与电流波动 (dI/dt) 的大小有关，当电流波动相对较少时，尖峰不太明显。此计算是根据发射时间为 10ns 来进行的 ($dI/dt = 1 \times 10^8$ A/s)。

6.3 使用并联电容器来抑制尖峰

为了抑制发射时间电流波动的尖峰，可以并联使用具有优良的频率特性小电容的电容器。图 6-8 显示了当并联使用电容器时的波形。在这种情况下，除了使用 10μF 电容器，还要使用 1μF MLCC (ESL 为 2nH，考虑 ESL_{PCB} ，ESR 为 10m)。图中计算结果显示使用这类电容器后尖峰深度降低一半。这是由于就阻抗特性而言高频阻抗减小 (如右侧图所示)。

可以增加具有较小电容的电容器来进一步抑制尖峰。

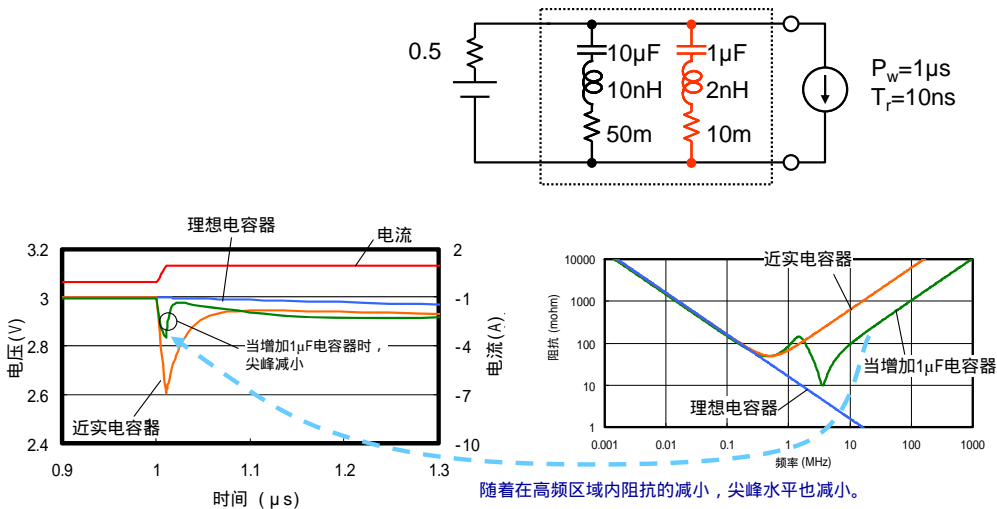


图 6-8 当并联增加电容器时的波形改变

如上所述, 并联电容器对于抑制尖峰来说具有一定的作用。然而, 相邻电容器的反共振会产生问题, 如第三章所述, 图 6-9 显示了创造这类条件的实例。

在这种条件下, 显示了上述计算结果 (使用 $0.1\mu\text{F}$ 电容器代替 $1\mu\text{F}$ 电容器)。虽然 $1\mu\text{F}$ 电容器尖峰大小不变, 但是波形中强烈的浪涌通过尖峰 (振铃频率大约 $0.2\mu\text{s}$)。浪涌的频率与阻抗曲线上的反共振频率有关。当浪涌较大时, 需要注意避免超出电源电压波动的可接受范围。

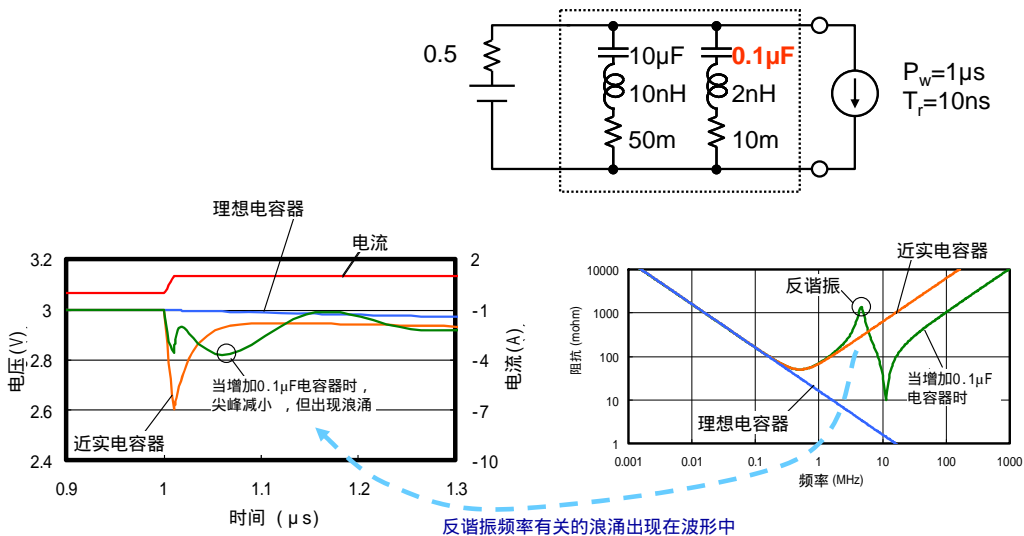


图 6-9 当并联电容器产生共振

6.4 使用低 ESL 电容器抑制尖峰

使用小 ESL 电容器是保持尖峰较小的另一种方法。图 6-10 显示了计算结果。假设使用在第四章介绍的低 ESL 电容器, 电容设置为 $10\mu\text{F}$, ESL 设置为 0.2nH , ESR 设置为 50m 。从此图中可以看出, 在这些条件下, 尖峰几乎完全消除, 振铃也没有观察到 (在使用结合电容器的情况下)。因此, 可以看出低 ESL 电容器对于抑制电压波动具有优势。

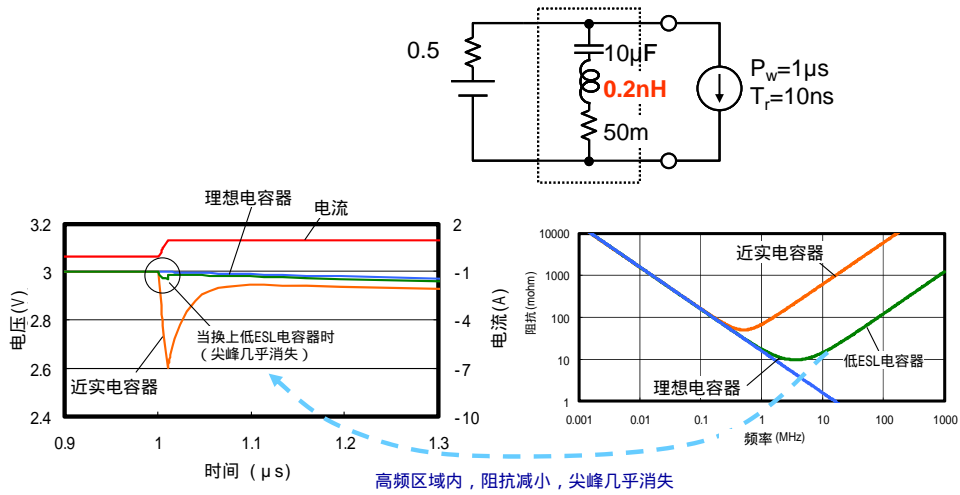


图 6-10 使用低 ESL 电容器

6.5 当脉冲宽度较宽时的电压波动

当电流的脉冲宽度较宽时，需要等待电源响应，因为单独的电容器不能维持电压。在图 6-11 中，当脉冲宽度较宽时，为了简化模拟电压波动，电源响应延迟用电感 $L_{PowerDelay}$ 来表示。这种情况下的计算结果如图 6-12 所示。

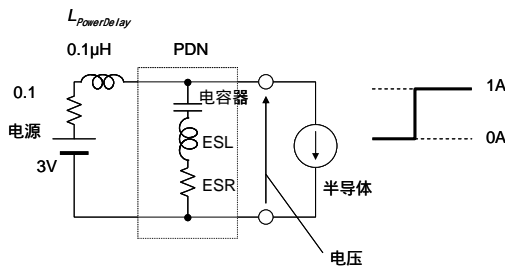


图 6-11 当脉冲宽度较宽时的模拟电路

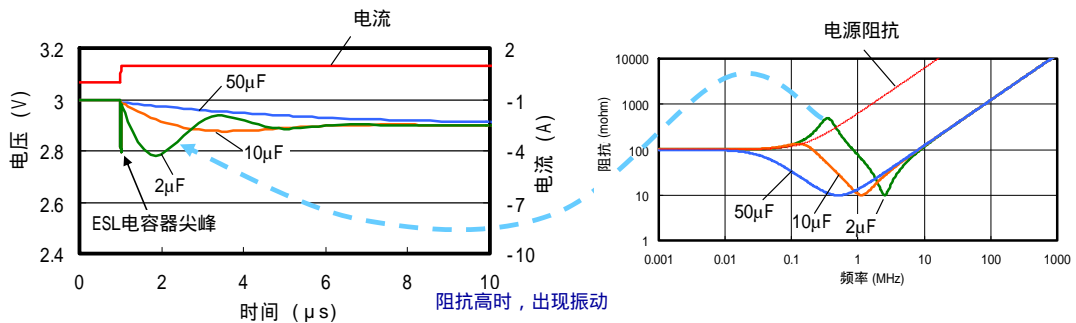


图 6-12 当脉冲宽度较宽时的计算结果

从图 6-12 可以看出存在通过电压波形观察到更多低频浪涌的可能性，这是由电容器的电容来

决定的。可以假设存在共振（发生在电源响应时间和电容器电容之间）。浪涌频率与图 6-12 右侧的阻抗特性高阻抗频率有关。

正如从图 6-12 所示的对比电容器结果一样，当电容较小时（图中为 $2\mu\text{F}$ ），此浪涌较为明显。因此，可以考虑使用适当电容来消除浪涌。

当考虑图 6-11 所示电路（作为 RLC 系列共振电路）时，共振电路的阻尼条件如下所示：¹³⁾

$$C \geq \frac{4L_{PowerDelay}}{R^2} \quad (6-2)$$

在这种情况下，C 代表电容，R 代表电源的输出电阻（为了简化，忽略 ESR 和 ESL 的影响）。如果使用电容大于 C 的电容器，浪涌出现的可能性降低。例如：如果将图 6-12 所示的条件代入公式（6-2）中，电容器的必要电容约为 $40\mu\text{F}$ （当使用 $50\mu\text{F}$ 电容器时，浪涌完全消除）。

假设电源响应延迟的主要原因为从电源模块至 IC 的配线电感，将电源特性表示为 $L_{PowerDelay}$ 。某些情况下，需要使电源模块自身的响应延迟。在这种情况下，可以让响应时间为 $T_{PowerDelay}$ (s)，并且制作模型，假设 $L_{PowerDelay}$ 从 RL 系列电路的时间常数中得出。

$$L_{PowerDelay} = R \cdot T_{PowerDelay} \quad (6-3)$$

在现实情况下，因为不能将电源响应特性表达为电感，因此上述计算值仅为估计值。此外，在电源输出处使用滤波电容器，因此，不能使用上述方法，因为要考虑到完全不同的因素，例如：电源电容和输出电压范围。

7. 抑制电源阻抗的电容器定位

在第 6 章,我们讲述过电压波动与电源阻抗间的关系,以及使用去耦电容器时的电压波动波形。然而,我们并没有谈到电源安装布线的影响。为了抑制 IC 中的电压波动,必须使有关 IC 电源终端的阻抗变小。不过,通常在电源终端与电容器间有好几种印制电路。同电容器 ESL 相比,这种电路电感很显著,使电路电感变小以使有关电源终端的阻抗变小,这是很有必要的。

这种电路电感受模式配置或至电容器距离的影响。在本章,我们要讲述减少连接 IC 与电容器的接线电感的印制电路设计,以便于高频下抑制电源阻抗,使其低于一定值。

7.1 有关 IC 的电源阻抗

尽管 IC 与电容器间的电源接线没有规定的配置,因此很难作出一个模型,我们将假设其可以用微带线表示(MSL),以此为讨论目的。让我们考虑连接几个电容器的 PDN 阻抗,如图 7-1 所示。

我们假设,电容器按照 10 μ F、2.2 μ F 以及 0.47 μ F 的顺序分层放置(图 7-1 中所示的电容器尺寸与其电容相对应)。小尺寸以及小电容电容器放置在 IC 右近位置,大电容电容器放置在 IC 相对较远位置。

图 7-2 显示出在这种模型中有关 IC 电源终端 A、B 和 C 的 PDN 阻抗计算结果。蓝线代表图 7-1 中所有同 PDN 相连接的阻抗,红线仅代表离电源终端相连接最近的电容器阻抗。

从图 7-2 结果看,我们可以断定,当频率超过 10MHz 时,电源阻抗主要由最近的电容器所形成。这表示,高频区阻抗主要由电感所支配,并且由于接线电感的有效 ESL 增加,相对较远的电容器影响可以忽略不计。(在此图中,作为一个整体的 PDN 以及最接近的电容器显示出点 A 相对较大的差异。这被认为是最近的电容器与 PDN 余下部分相互并行连接左与右的结果。)

由于最近的电容器阻抗在高频区占有主导地位,为了使 PDN 阻抗减少至低于一定值,我们只需要考虑最近的电容器以及它连接到的接线。以此为前提,我们将专注于直到最近的电容器的接线设计。

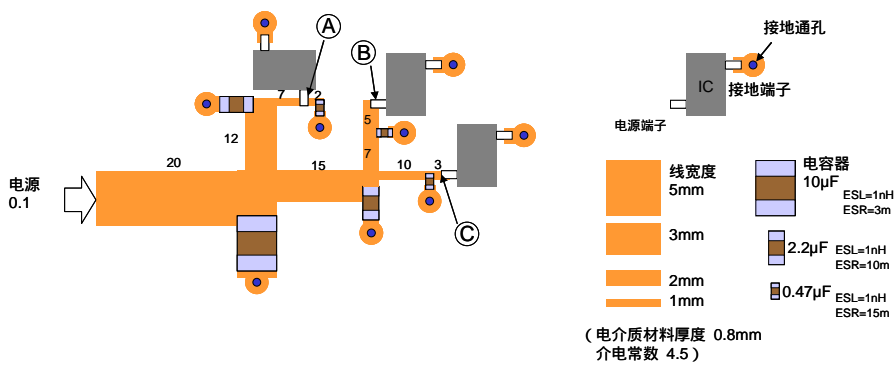


图 7-1 电源阻抗计算的模型图

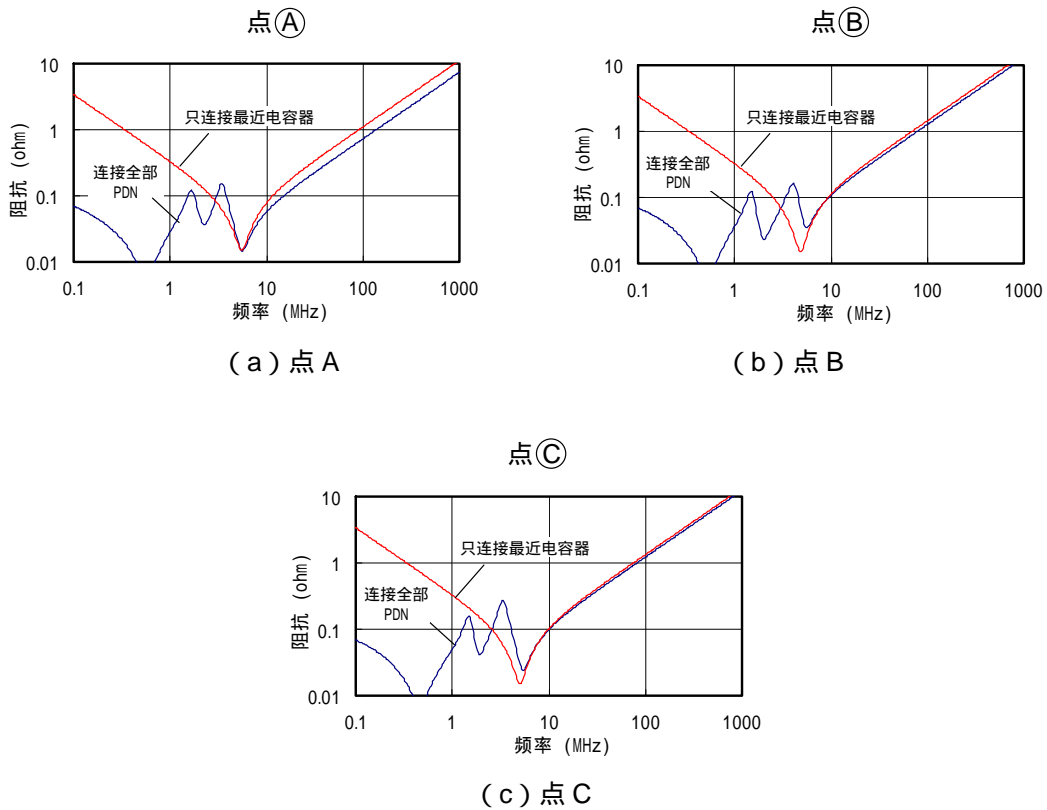


图 7-2 电源阻抗计算结果

7.2 有关 IC 电源阻抗的简单估计

假设 IC 电源终端直到最近的电容器的接线当作 MSL 来表示，如图 7-3 中的模型，有关电源终端的这个电容器阻抗， $Z_{PowerTerminal}$ 可以用下面公式来表达：

$$Z_{PowerTerminal} = Z_{cap} + Z_{line} \tag{7-1}$$

在这个公式里， Z_{cap} 代表电容器阻抗， Z_{line} 代表导向电容器的接线阻抗。 Z_{cap} 包括安装电容器与过孔垫片的阻抗。

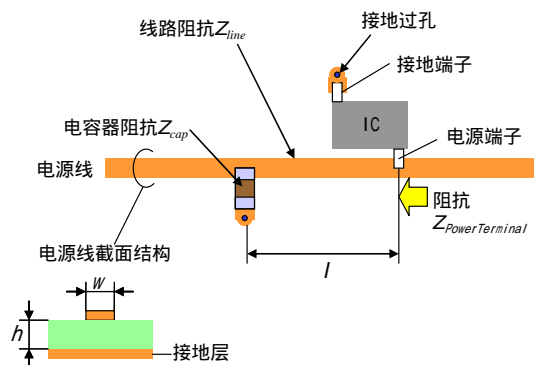


图 7-3 最近的电容器接线模式

Z_{line} 代表接线阻抗，可以认为在末端引起短路（由于电容器连接图 7-3 所示的模型，在高频下它可以被认为是引起短路的）；同相对应频率的波长相比较，如果接线长度足够短，电感近似于电感。我们将接线电感成为 L_{line} 。另外，在超出自谐振频率的高频区，电容器 Z_{cap} 的阻抗是由电容器 ESL_{cap} 的 ESL 所形成。因此，有关 IC 电源终端的阻抗， $Z_{PowerTerminal}$ 可以用下面公式进行表示：

$$Z_{PowerTerminal} = Z_{cap} + Z_{line} \cong j2\pi f (ESL_{cap} + L_{line}) \quad (7-2)$$

我们可以使用 MSL 单位长度的电感乘以长度作为 L_{line} 值。基于与特性阻抗有关联的 MSL 单位长度电感，提议出各种近似的公式。¹⁴⁾ 但是，当处理像电源一样的宽接线宽度的情形时，其公式可能变得很复杂。因此，下面提议的公式非常粗略近似于 L_{line} ：

$$L_{line} = 0.4l \left(\frac{h}{w} \right)^{0.6} \times 10^{-6} \quad (H) \quad (7-3)$$

在这个公式里，将电源接线考虑为 MSL， h 代表绝缘材料厚度， w 代表接线宽度， l 代表接线长度（单位全部是毫米）。通过替代公式（7-2）中使用的电容器 ESL_{cap} 的 L_{line} ，我们可以估计在高频区（电容器成为诱导的地方）有关 IC 电源终端的阻抗。请注意，我们需要包括电容器安装垫片和在 ESL_{cap} 中使用的过孔（ ESL_{PCB} ）的阻抗。

7.3 放置 IC 最接近的电容器的可能范围

我们可以反向计算为控制电源阻抗低于目标值所必需的接线长度，接近（7-3）中简单公式的接线电感。把有关 IC 电源目标阻抗当作 Z_T ，目标频率是为满足该阻抗所必需的最大频率当作 $f_{T@PCB}$ ，最大允许接线长度 l_{max} 如下。

如前所述，有关电源终端的阻抗在高频下显示出可诱导性；我们将只考虑电感。通过用 Z_T 代替电源阻抗 $Z_{PowerTerminal}$ 以及用 f_T 代替公式（7-2）中的频率 f ，我们可以得到接线 L_{line_max} 的最大允许电感。

$$L_{line_max} \cong \frac{Z_T}{2\pi f_T} - ESL_{cap} \quad (7-4)$$

通过用公式（7-3）中的 L_{line_max} 代替 L_{line} ，我们可以得到接线 l_{max} 的最大允许长度：

$$l_{max} = 2.5 \frac{L_{line_max}}{\left(\frac{h}{w} \right)^{0.6}} \times 10^6 \cong 0.4 \frac{Z_T - 2\pi f_{T@PCB} ESL_{cap}}{f_{T@PCB} \left(\frac{h}{w} \right)^{0.6}} \times 10^6 \quad (m) \quad (7-5)$$

如图 7-4 所示，在 IC 电源终端的这个 l_{max} 之内放置最接近的电容器时，我们可以实现在高频区的目标阻抗。我们把这个 l_{max} 称之为最大允许接线长度。当 l_{max} 变大时，我们在电容器位置就有更大的灵活性。

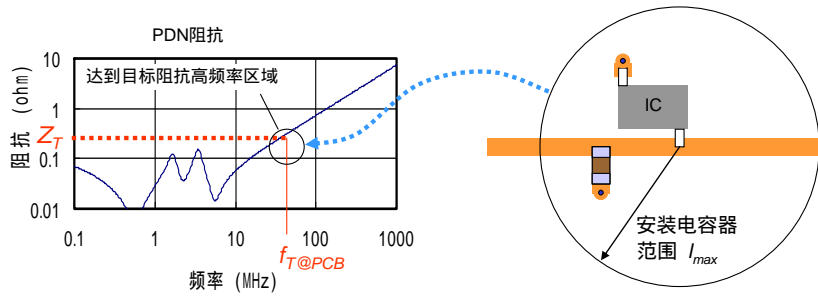


图 7-4 l_{max} 之内放置电容器

另一方面，就电容器而言， l_{max} 可以看作是包含电源阻抗的电容器有效范围，小于 Z_T 。如图 7-5 所示，当放置的 IC 电源终端小于电容器的 l_{max} 时，一个电容器在小于 Z_T 时可以抑制多个 IC 电源阻抗。从公式 (7-5) 中我们可以看出，带有小 ESL_{cap} 电容器的 l_{max} 变大以后，该电容器具有很宽的有效范围。

当单个电容器承载多个 IC 电源时，如图 7-5，当多个 IC 工作时间相匹配时，电流可能变大，因此有必要改变目标阻抗值 Z_T 。另外，当连接电容器与多个 IC 的接线缠绕时(像右边的两个 IC)，缠绕接线导致的电压可能在 IC 间引起噪声干扰。当发生这些问题时，电容器应用于每个 IC。

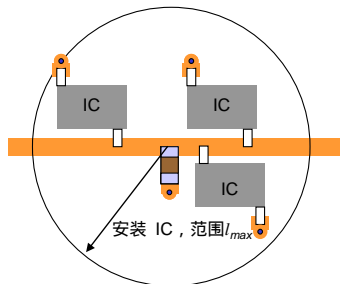


图 7-5 l_{max} 之内放置 IC

如果 $2 f_T ESL_{cap}$ 比公式 (7-5) 中的 Z_T 大，不能使用电容器，因为 l_{max} 将小于零。这表明，电容器自身的 ESL 过大，使其不能达到目标阻抗 Z_T ，即使接线与理想的零电感相连接。在这种情况下，我们必须要么使用小 ESL 的电感器，要么使用并联的多个电容器，以产生小 ESL_{cap} 等效。

7.4 最大允许接线长度 l_{max} 的准则

从公式 (7-5) 中我们可以假定，当使用带有小 ESL_{cap} 的电容器时， l_{max} 变大，因此增加电容器位置的灵活性。另外，此 l_{max} 应受到印制电路交集方面的影响 (h 与 w)。因此，为了证实该趋势并显示接线设计准则，我们已经计算出 l_{max} 不同的接线宽度、绝缘材料厚度、以及电容器安装条件，如图 7-6 所示。这些结果在图 7-7 至 7-10 上所示。

我们假设低 ESL 电容器，例如 3 端子电容器，LW 反向电容器或 MLCC 在这种情况下使用。我们设置上限频率，假设在电源终端外部至 IC 采取测量，目标阻抗的 $f_{T@PCB}$ 暂时为 100MHz。(实际情况下， $f_{T@PCB}$ 值根据使用的 IC 会变化很大。)

从图 7-7 至 7-10 的计算结果看，我们可以断定，为了使 l_{max} 变大，低 ESL 电容器、薄绝缘材料以及宽接线是有效的。另外，目标阻抗越小，由于电容器 ESL， l_{max} 波动趋向就越大。

正如本章所看到的，带有低 ESL 电容器的 l_{max} 变大，这使电容器放置更加灵活。另外，一个电容器的有效范围变大，可以使用更少的电容器去覆盖 PDN 的宽阔区域。

当目标小于图 7-7 至 7-10 的 $0.2 @100\text{MHz}$ 时，使用一个 MLCC 将导致 $2 f_T ESL_{cap}$ 大于早前所述的 Z_T ，使其“不可能接通”。在这种情况下，我们需要使用多个第 8 章所述的并联电容器，使 ESL_{cap} 变小。另外，低 ESL 电容器的使用，第 4 章已介绍，将可有效地使 ESL_{cap} 变小。

上面所述假定电源接线可以被视为 MSL，并且目标频率对于接线长度足够低。因此，如果没有被视为 MSL 的单面基板被使用或者如果因高频率发生接线共振，它们将不适用。

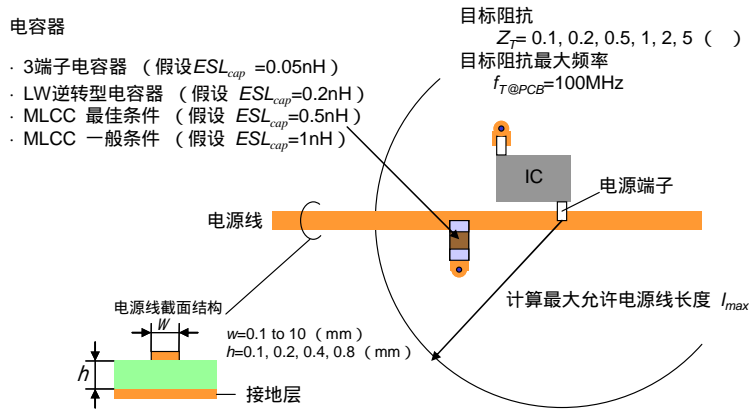


图 7-6 计算条件

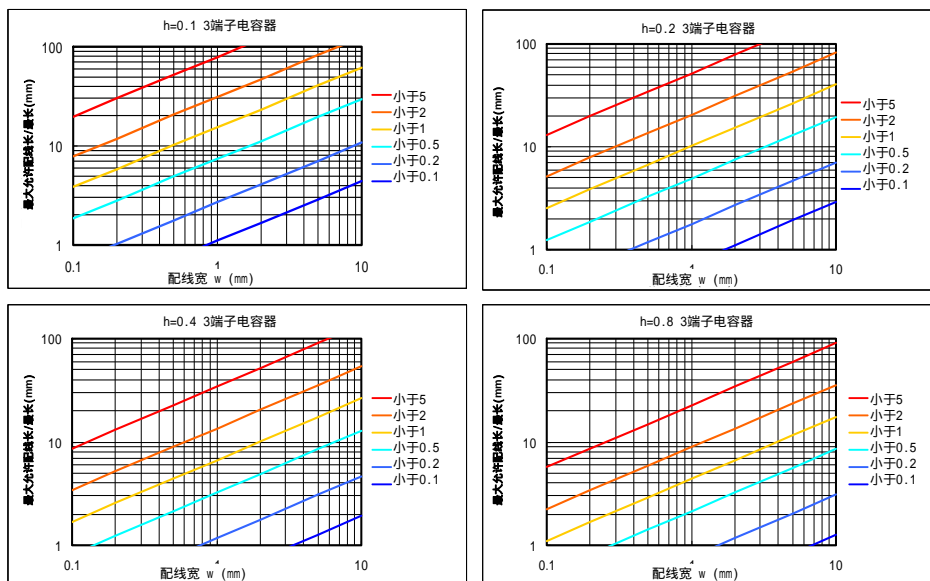


图 7-7 3 端子电容器最佳条件 ($ESL_{cap} = 0.05\text{nH}$)

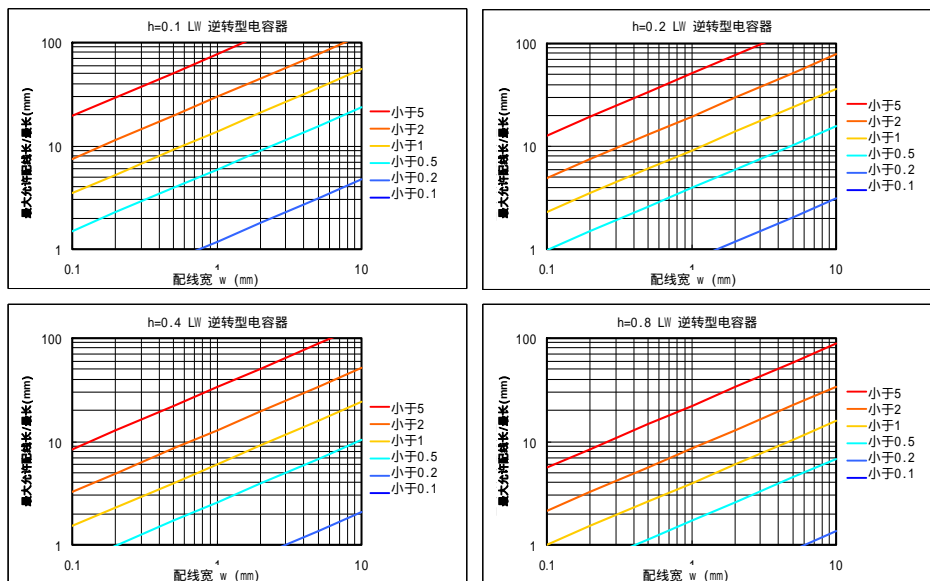


图 7-8 LW 逆转型电容器最佳条件 ($ESL_{cap}=0.2nH$)

(当低于 $Z_T=0.1$ 时，不能安装电线)

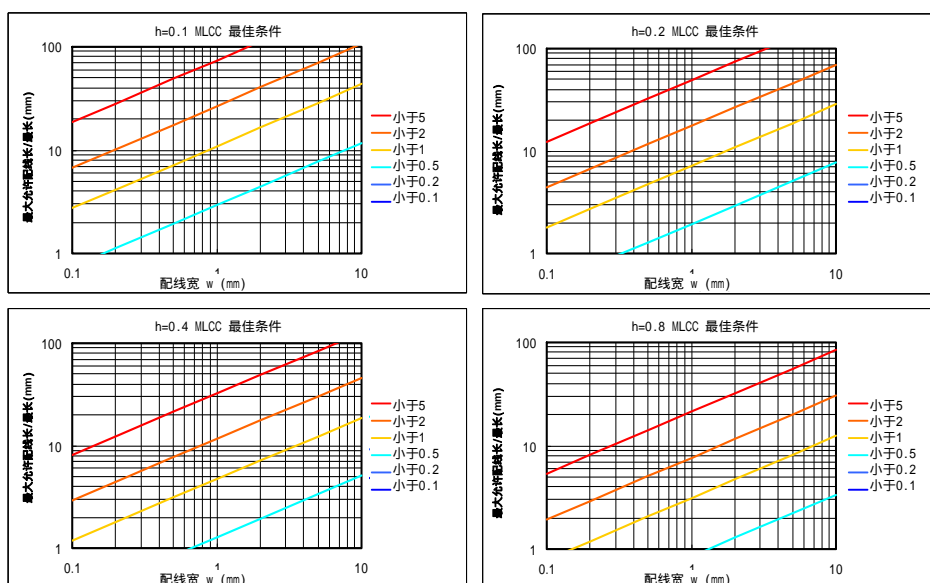


图 7-9 MLCC 最佳条件 ($ESL_{cap}=0.5nH$)

(当低于 $Z_T=0.2$ 时，不能安装电线)

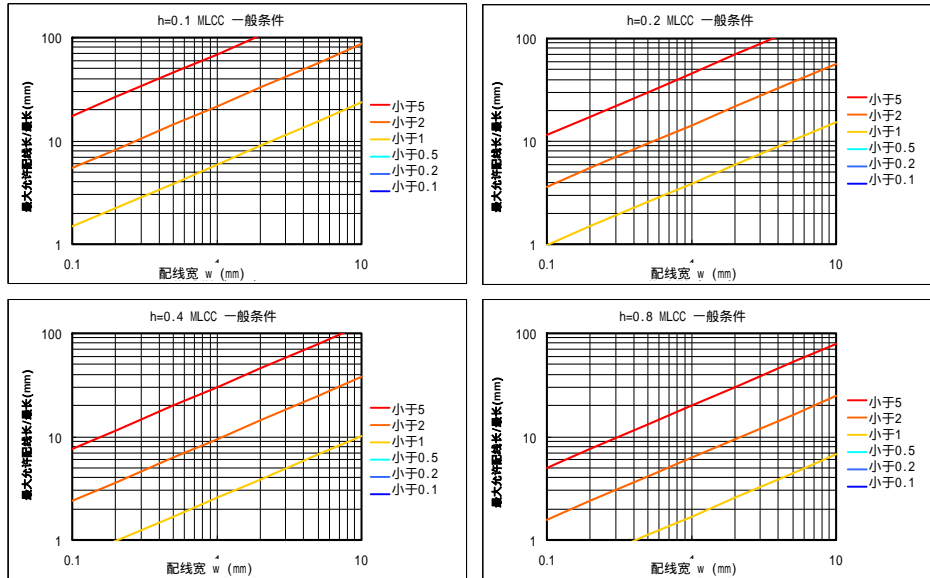


图 7-10 MLCC 正常条件 (ESL_{cap}=1nH)
 (当低于 Z_T=0.5 时，不能安装电线)

8. 与电容器结合使用的 PDN 配置

电源接线与去耦电容器同 IC 电源终端连接作为一个整体就叫做 PDN。¹⁾ 该 PDN 性能指标的其中之一就是有关 IC 电源终端的 PDN 上的阻抗（电源阻抗）。当电源阻抗对于 PDN 越小时，电流供应性能和电源完整性（PI）就越高。如第 6 章所述，电源阻抗越小时，IC 电源电流波动时的电压波动就越小。

在大型且高速的 IC 中，电源电流强烈波动并且其频率很高；电源阻抗在很宽的频率范围内必须变小。在这种情况下，由于一个电容器不能达到所需的阻抗，多层次定位电容器以达到目标电源的阻抗，如图 8-1 所示。我们现在将介绍电容器的分层定位以完成目标阻抗。

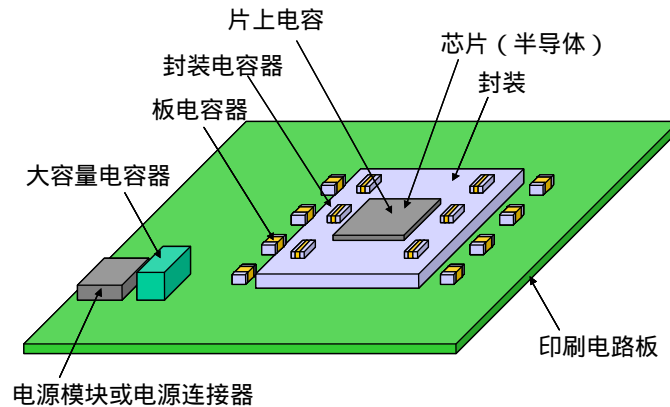


图 8-1 去耦电容器放置的例子

8.1 去耦电容器的分层定位

当电容器分层定位时，如图 8-1 所示，每个电容器都是根据其所在位置进行命名，如图 8-1，并且连接起来，如图 8-2 所示。¹⁵⁾ 片上电容（形成硅电容）不是一个组件，但是被添加了，因为它有相同的功能。

从 PDN 电源功能的观点上看，那些电容器的功能就好比是“电荷的蓄水池”。换句话说，要瞬间处理半导体附近的本地电流请求，电容器可以维持电源模块的时间-至-响应以及电压。另外，从电源阻抗的频率特性的观点上看，随着频率的增加，电源模块的阻抗在没有任何帮助的情况下也增加，电容器放置在 IC 附近以减少高频率区域的阻抗。

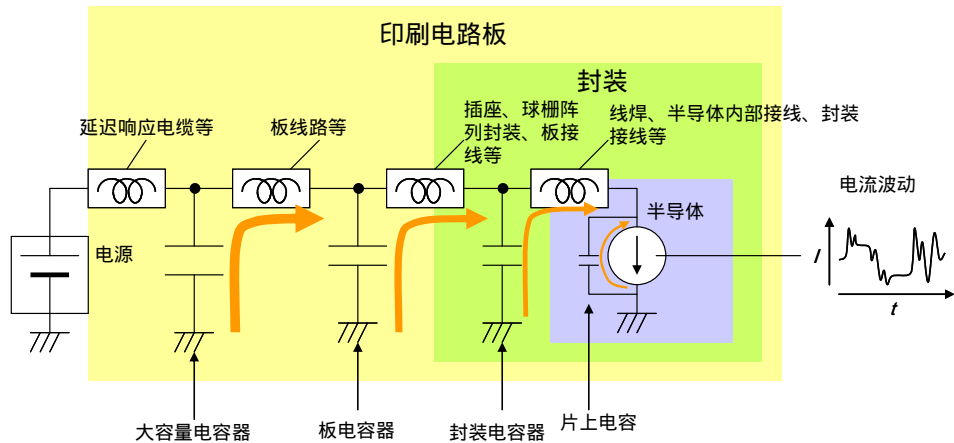


图 8-2 电容器电流供应模式

如第 7 章所述，除了有关 IC 电源阻抗的电容器之外，我们需要考虑接线电感。图 8-2 中，半导体与每个电容器之间接线的的影响表现在电感方面（为了简单起见，忽略接线的电容与电阻）。由于远端电容器的接线电感增大，高频下阻抗不能被减少。相反，我们可以期望半导体旁的电容器在高频下处于有效状态。

从这个意义上讲，如果我们可以从片上电容上得到足够的电容，这对于减少电源阻抗将是很理想的。事实上，由于空间限制，这是很难的。因此，我们从半导体的近端至远端，分层放置电容器，如图 8-2 所示，以达到目标电源阻抗。

8.2 PDN 阻抗

IC 工作所必需的电源阻抗目标值称之为目标阻抗 (Z_T)，对于必需的频率范围，如图 8-3 所示，保持低于目标值是有必要的（虽然目标值在图中是个常数，但是根据频率它可能出现变化）。

PDN 包括电源、去耦电容器、以及连接它们的接线等。PDN 必需设计成满足目标总阻抗。（虽然目标阻抗必须根据考虑的 IC 以及线路工作进行选择，但是在某些情况下也可能不太明确。我们将在 8.7 章节介绍其安装方针。）

理想条件下，电源阻抗应表现在有关图 8-2 模型硅晶片晶体管的阻抗方面。然而，对晶片进行测量不切实际。事实上，电源阻抗需要通过建立一个测量点进行表达，例如，封装的 BGA 终端或 PCB 上的电源板（一般来说，测量值会根据测量位置产生变化）。根据下面的描述，除非另有说明，这是有关半导体元件的阻抗（一个虚拟值，因为现实中不可测）。

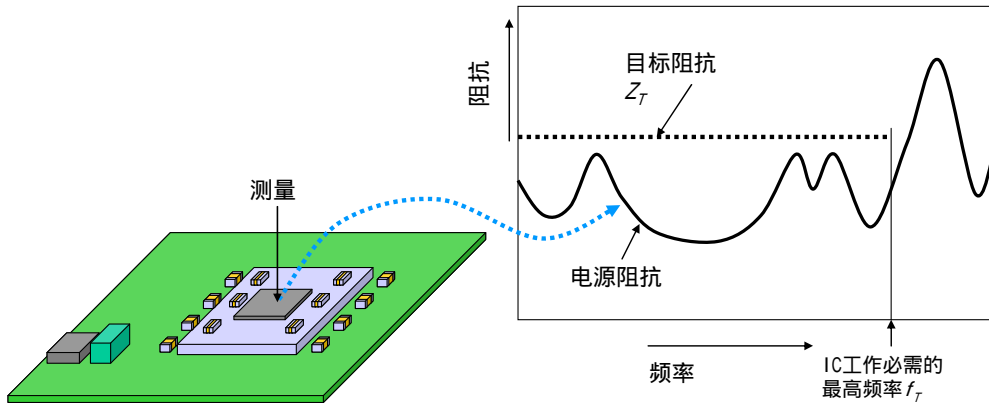


图 8-3 目标阻抗

8.3 电容器分层定位

当分层定位电容器时，如图 8-2 所示，整个 PDN 阻抗的频率特性将变成图 8-4 的所示。通过结合每个电容器所覆盖的频率区域以满足总的目标阻抗。¹⁾

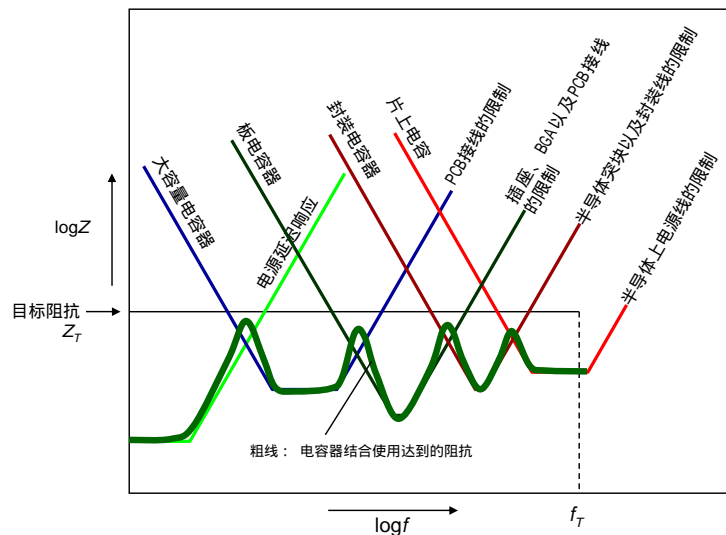


图 8-4 电容器组合阻抗的模拟图

图 8-4 所示的每个电容器阻抗不是只来自元件，而是包括图 8-5 所示的半导体元件与电容器之间配线产生的影响。在这个有关半导体元件的电容器上的阻抗频率特性大约呈 V 形，如图 8-6 所示（简单起见，忽略接线电容）。

在这种情况下满足目标阻抗 Z_T 的此曲线范围被称为电容器的有效频率范围。如图 8-6 所示，有效频率范围的下限 f_{min} 受电容器 C_{cap} 电容的限制，上限 f_{max} 受电容器 ESL_{total} 电感的限制。此 ESL_{total} 包括电容器 C_{cap} 电感以及接线 L_{line} 电感。另外，反过来说，此 ESL_{total} 包括电容器自身的 ESL 以及电容器安装垫片和过孔的电感。

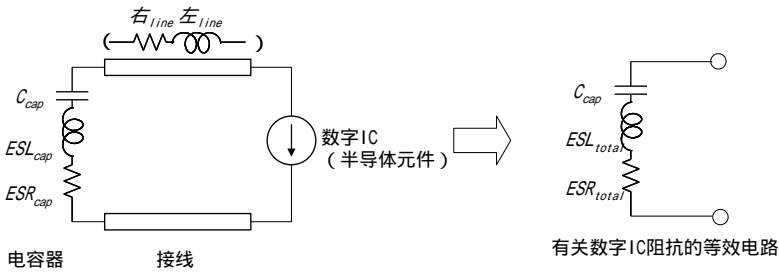


图 8-5 单一电容器等效电路

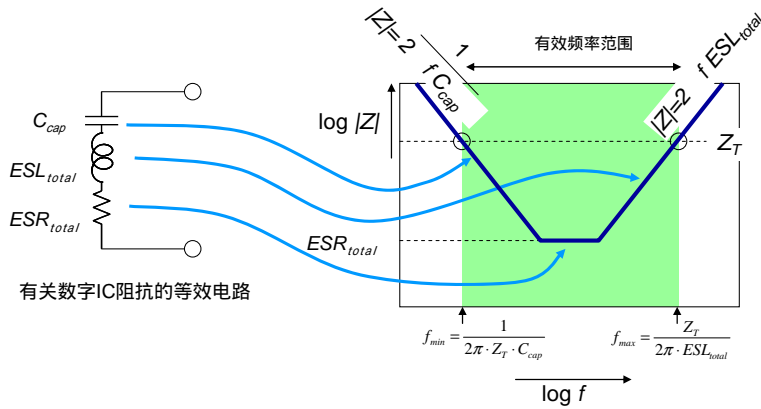


图 8-6 单一电容器阻抗频率特性

我们可以从图 8-6 中看出， Z_T 大时，电容器的有效频率范围就变宽； Z_T 小时就变窄。电容器阻抗下限受 ESR_{total} 的限制。我们需要使用的电容器为：其 ESR 小于带有小 Z_T 电源的 Z_T 。在电容器分层的连接区域，低频端的电容器（电容器 1）与高频段的电容器（电容器 2）必须用这种方式合并，那就是图 8-7 所示的覆盖有效频率范围（没有任何差距）。因此，低频端电容器的 ESL_{total} 变化时，高频端电容器必要的电容也出现变化。另外，如图 8-4 所示，阻抗在频率连接区域可能会增加。这是因为在电容器间可能发生反谐振，第 3 章已讲述。因此，有效频率范围内的连接必须有足够余地才可以建立。

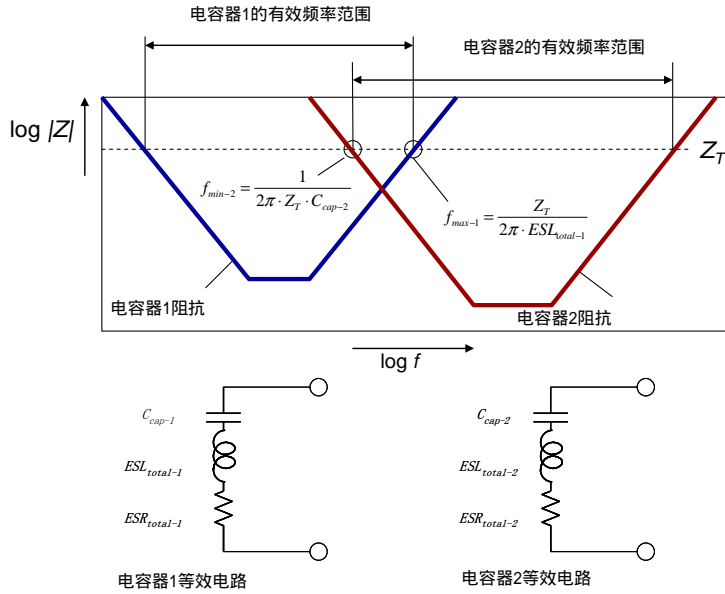
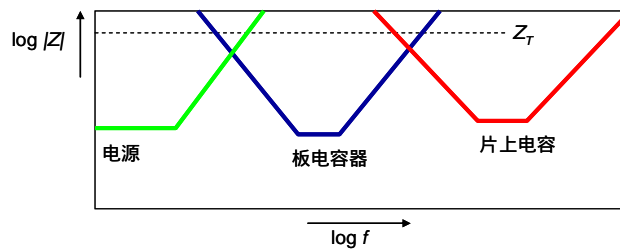


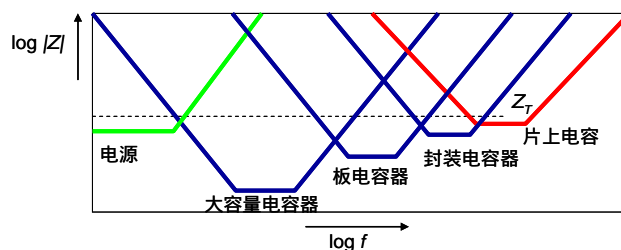
图 8-7 电容器阻抗分层连接

同时，电容器的有效频率范围会根据前面讲述的目标阻抗等级而产生变化，允许忽略层次。当 IC 电流波动变小时，有效频率范围以相对较高的阻抗进行扩大。另外，板电容器电容变大并且带有小 ESL 的电容器正在使用时，有效频率范围扩大，使其有可能消除大容量电容器或封装电容器的前面和背面并且减少使用的电容器数量。

如图 8-8 所示的简化分层的例子



(a) 目标阻抗变高时



(b) 目标阻抗变低时

图 8-8 电容器分层结构的例子

8.4 PCB 上的目标阻抗

如图 8-2 所示的电容器分层，片上电容与封装电容器在 IC 上提供，这样，它们不能在 PCB 设计阶段受控制。

因此，在 PCB 设计阶段，通常片上电容与封装电容器覆盖的频率下限被认为是上限频率， $f_{T@PCB}$ ，并且，被指定为目标阻抗的上限频率是为电源终端外部的 IC 封装所服务。这个频率普遍认为是 10MHz 至 100MHz。

当设计 PCB 上的去耦电容器时，我们的目标是满足目标阻抗，直到这个 $f_{T@PCB}$ （没必要以 IC 工作的最高频率为目标）。此阻抗测量点是 IC 封装的电源终端。

下面我们要讲述 PCB 上分层使用的电容器以及它们的使用。

8.5 大容量电容器

大容量电容器就是在低频区域覆盖阻抗的大型电容的电容器。它被定位在电源区域的一个地方，并且在某些情况下，还要作为电源模块平滑电容器的替代品。

如图 8-6 所示，电容器阻抗下限受 ESR 的限制，有效频率范围上限受 ESL 与接线电感的限制。因此，使用带有小 ESR 和 ESL 的电容器时，处理较高频率的板电容器电容可以减少，这样电容器布局可能变得更加灵活。

如图 8-9 所示的是对比电解电容器与 MLCC 的阻抗例子。在这种情况下两个电容器都是 2.2μF。即使带有使用导电高分子的低 ESR 电容器，在超过 10MHz 的频率范围内，与 MLCC 相比，其阻抗是较大的。这表明 MLCC 的 ESL 很小并且其有效频率范围上限很高。

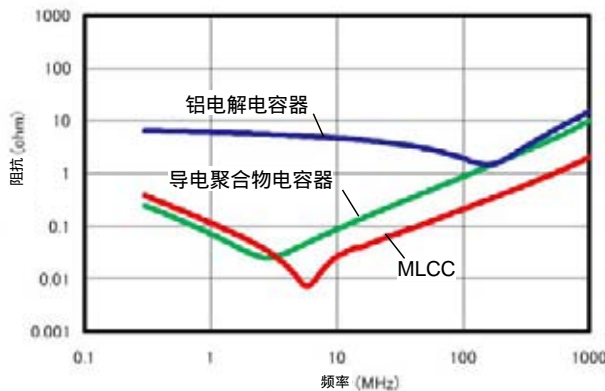


图 8-9 电容器与 MLCC 之间阻抗的对比

8.6 板电容器

在大容量电容器不起作用的更高频率区域的阻抗是由位于 IC 旁的 PCB 上的板电容器进行处理。通常，MLCC 用于这个电容器。对于一个相对小型且低速的 IC，一个电容器足矣；但对于具有低目标阻抗的高性能 IC，可能就需要使用图 8-10 所示的多个并联电容器。²⁾

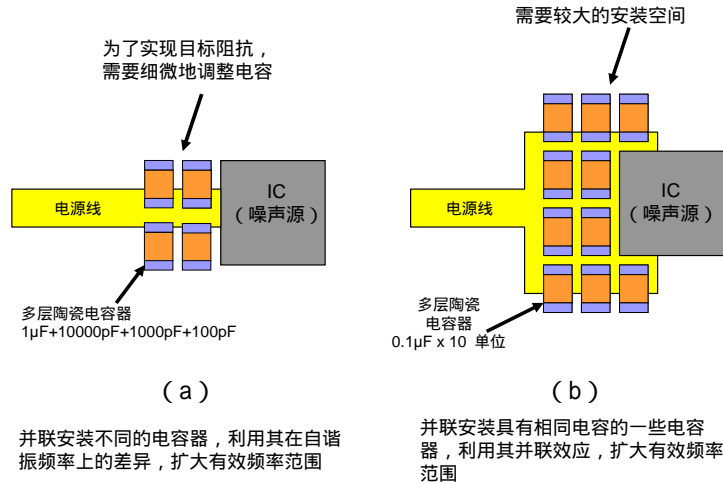


图 8-10 板电容器平行布局的例子

图 8-10 (a) 显示的是不同电容的电容器组合。通过组合不同自谐振频率的电容器，利用电容器在自谐振频率旁变为低阻抗的特点优势，以宽频率范围内的低阻抗作为目标。

在阻抗不会变得更小的情况下必须谨慎行事，因为反谐振会发生在电容器自谐振频率间的差距上，第 3 章已讲述。如图 8-11 所示的并联使用 $1\mu\text{F}$ 、 10000pF 、 1000pF 与 100pF 的四个电容器时结点阻抗的例子。阻抗频率特性出现波纹，并且在有些情况下它们的阻抗在反谐振频率上会超过 $1\mu\text{F}$ 的电容器。

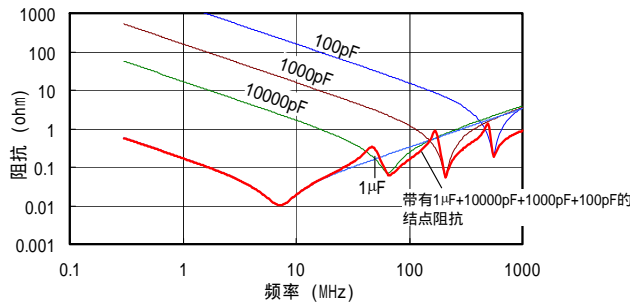


图 8-11 并联使用不同电容的电容器时的结点阻抗 (计算值)

图 8-10 (b) 显示的是相同电容的电容器并联情形。在这种情况下，根据图 8-12 指出的计算结果，反谐振问题不会如此频繁地发生 (假定可以忽略电容器间的接线)。该方法有电容器阻抗并联的效果，除了垫片阻抗以及并联过孔 (在其中一个过孔用于各个电容器的情况下)。也有它的优点就是增加电容相对比较容易，因为电容器增加的数量。

另一方面，越来越多的电容器有增加空间与成本的缺点。另外，随着面积增大，电容器的安装位置相对较远，这使接线阻抗的电容器不是那么有效，逐渐降低电容器增加数量的效果。

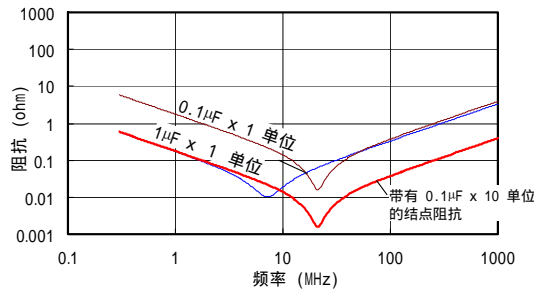


图 8-12 相同电容的并联使用时的阻抗 (计算值)

如果图 8-10 所示的方法出现问题，使用第 4 章所示的低 ESL 电容器将产生与多个电容器同样的效果。这更有利于节省空间与成本。图 8-13 显示的是多个 MLCC 与一个低 ESL 电容器的比较。一个低 ESL 电容器可以实现相当于使用 10 个并联 MLCC 产生的阻抗。

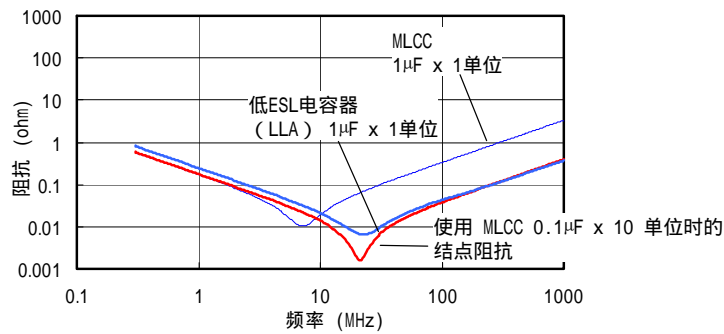


图 8-13 并联使用多个 MLCC 与一个低 ESL 电容器之间的比较 (计算值)

8.7 电容器的电容设计

从目标阻抗中建立大容量电容器与板电容器的例子如下所示。如图 8-14 所示，我们考虑到大容量电容器与板电容器定位于电源模块与 IC 之间什么位置的情形。用 MSL 形成接线并且可以大约预先确定电容器的安装位置。

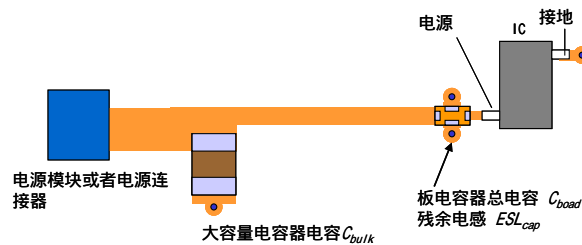


图 8-14 设计电容器电容的模型

8.7.1 建立目标阻抗

首先：目标阻抗 Z_T 由图 8-15 所示的所决定。如果已经知道目标值与 IC 工作所必需的电源阻抗最大频率，这些值可以使用。如果未知，他们用下面的公式建立：

$$Z_T = \frac{\Delta V}{\Delta I} \tag{8-1}$$

在这种情况下， ΔV 代表最大允许波纹电压， ΔI 代表最大静态波动瞬间电流（如果未知，我们要让其变成 IC 最大电流值的大约一半^{16) 17)}）。 Z_T 最大频率 $f_{T@PCB}$ 根据 IC 运行速度而变化。如果未知，将其设置为大约 100MHz。

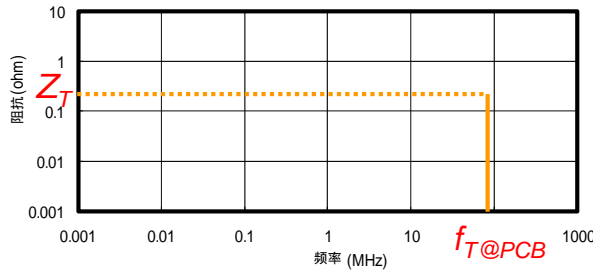


图 8-15 建立目标阻抗

8.7.2 建立大容量电容器电容

下一步，我们将建立低频端电容器的电容。第一个电容器将是大容量电容器。其模型如图 8-16 所示。

当我们可以假定电源模块与电路或印制电路间的电缆阻抗是阻止我们在大容量电容器安装位置达到目标阻抗的主要因素时，当电源模块理想工作时，我们将让这个电感变成 L_{Power} 并且建立如第 2 章所示的大容量电容器电容 C_{bulk} 。

$$C_{bulk} \geq \frac{L_{Power}}{Z_T^2} \tag{8-2}$$

当电路仅包括印刷电路，我们可以使用下面公式，从下面第 7 章以估计 L_{Power} 。

$$L_{line} = 0.4l \left(\frac{h}{w} \right)^{0.6} \times 10^{-6} \quad (H) \tag{7-3}$$

在这个公式里， h 是 MSL 中的绝缘材料厚度， w 是接线宽度， l 是接线长度。

在电源模块自身的响应特性不可以忽略的情况下，此电感 $L_{PowerResponse}$ 必须要算入公式 (8-3) 中的 L_{Power} 按照以下从第 6 章所示的电感时间常数，可以建立粗略的估计。

$$L_{PowerResponse} = Z_T \cdot t_{PowerResponse} \tag{8-3}$$

在这个公式里， $t_{PowerResponse}$ 是电源模块的响应速度。

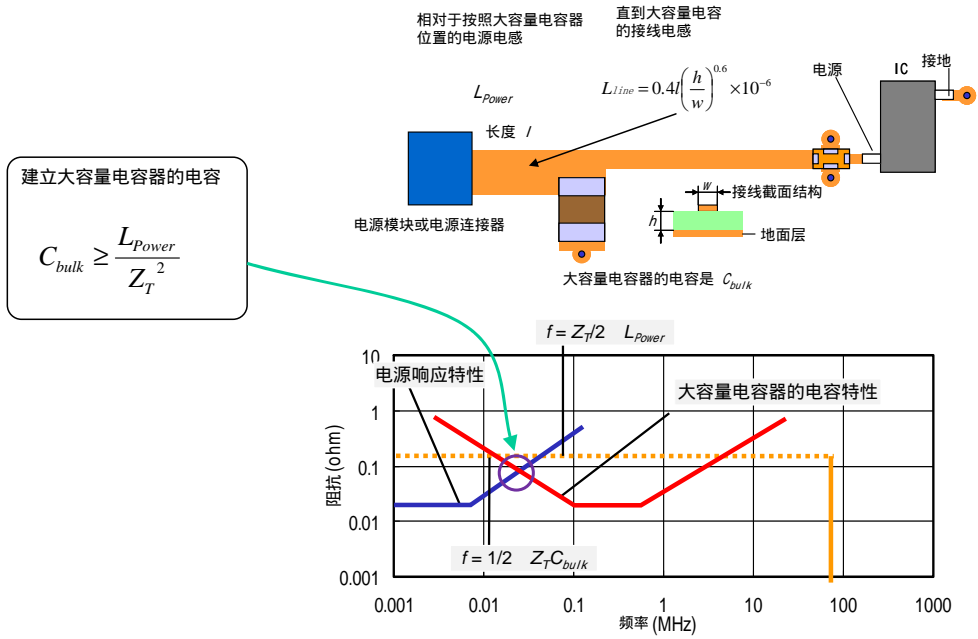


图 8-16 建立大容量电容器电容

8.7.3 建立板电容器

下一步，我们将建立板电容器电容， C_{board} ，如图 8-17 所示。如果我们让大容量电容器与板电容器间的接线电感作为 L_{bulk} ，板电容器安装区域的必需电容器与公式 (8-2) 一样。

$$C_{board} \geq \frac{L_{bulk}}{Z_T^2} \quad (8-4)$$

严格来说，尽管这个 L_{bulk} 包括大容量电容器的 ESL 以及 IC 与大容量电容器间的所有接线电感，图 8-17 中，仅大容量电容器与板电容器间的接线可代表整体的电感。

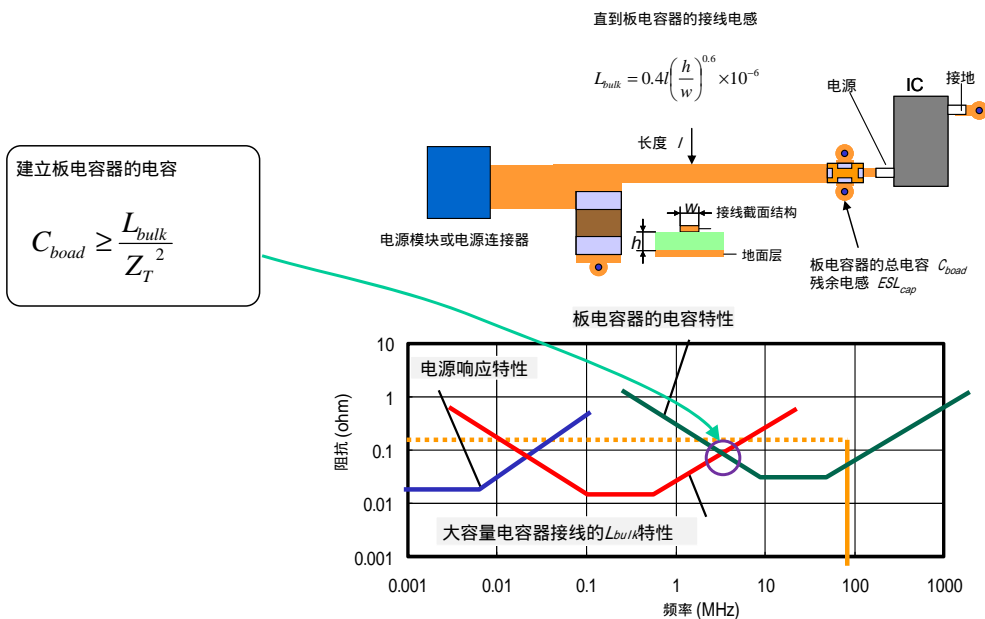


图 8-17 建立板电容器电容

8.7.4 板电容器定位

下一步，要定位板电容器。通过定位板电容器以便于 IC 与电源终端间的间距在第 7 章所述的最大允许接线长路 l_{max} 之内，可以在相当于 $f_{T@PCB}$ 频率时满足 Z_T ，如图 8-18 所示。

$$l_{max} \cong 0.4 \frac{Z_T - 2\pi f_{T@PCB} ESL_{cap}}{f_{T@PCB} \left(\frac{h}{w}\right)^{0.6}} \times 10^6 \quad (m) \quad (7-5)$$

在这个公式中， ESL_{cap} 代表板电容器的 ESL，并且它包括来自电容器安装垫片与过孔的电感 (ESL_{PCB})，排除电容器自身的 ESL。

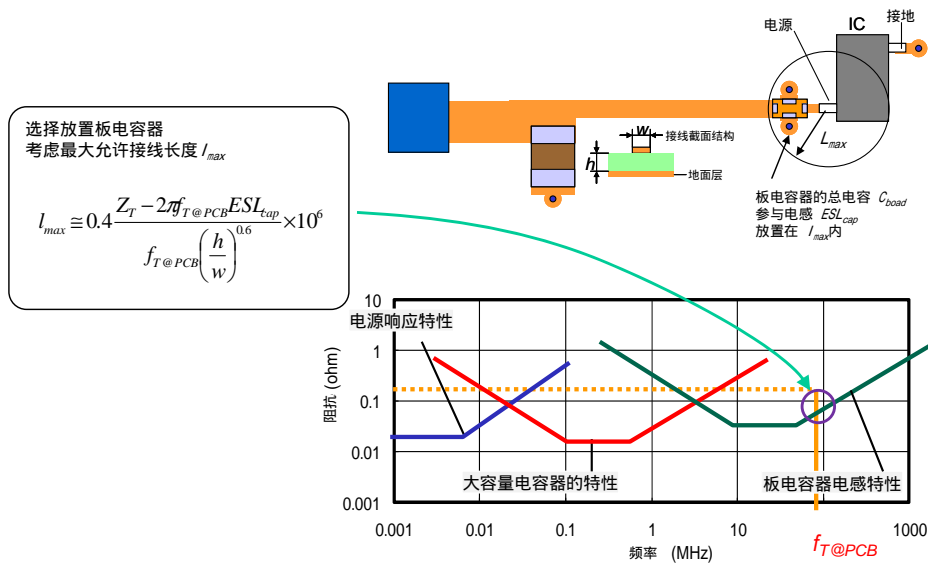


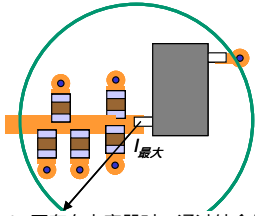
图 8-18 板电容器放置

8.7.5 减少 ESL_{cap}

根据目标阻抗，一个电容器不能达到 I_{max} 适当长度，也就不能达到目标阻抗。在这种情况下，我们需要用并联方式定位多个电容器，如图 8-19 中的左图所示，以减少等效 ESL_{cap} ，以及扩大 I_{max} 。第 4 章所述的低 ESL 电容器的使用也同样有效。

实线：使用多个板电容器的MLCC时

虚线：使用一个板电容器的低ESL电容器



I_{max} 不存在电容器时，通过结合使用多个电容器以减少 ESL_{cap} 以及扩大 I_{max} 可能是必要的。总电容必须超过 C_{board} 电容结合必须进行调整已保持反谐振向下。

可能在 I_{max} 内放置不仅仅是 C_{board} 电容的电容器

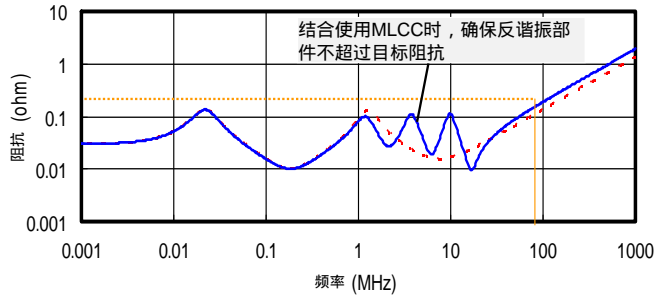


图 8-19 ESL_{cap} 减少

上述程序的概要如图 8-20 所示。

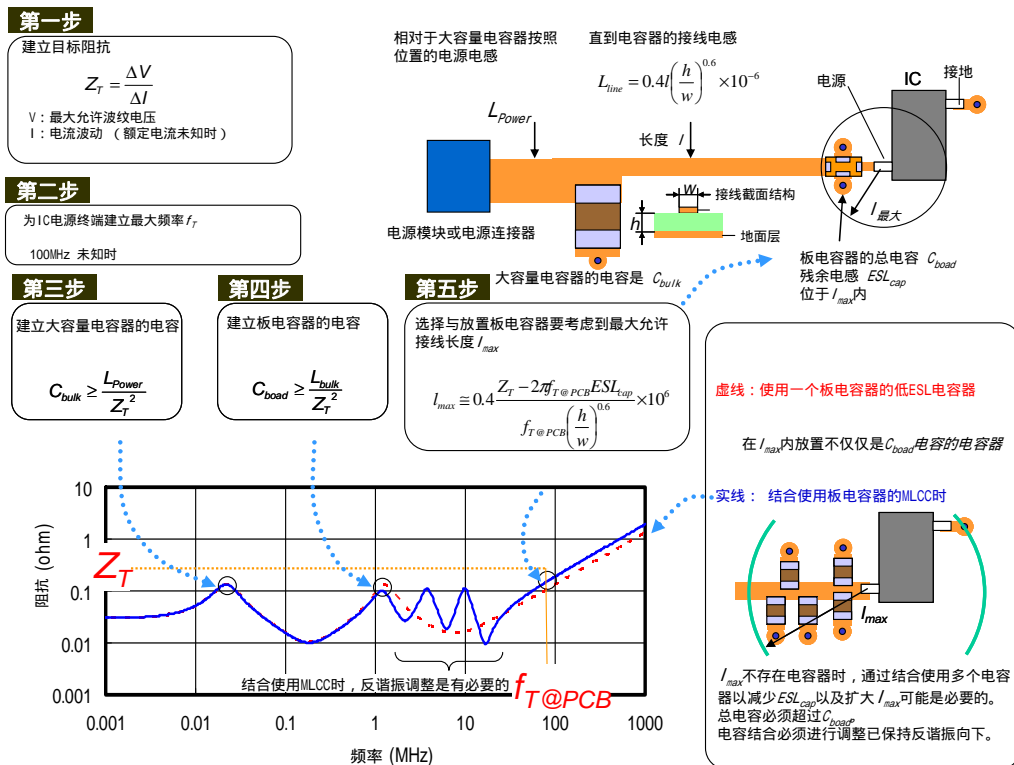


图 8-20 电容器设计以达到目标阻抗的例子

8.8 制作超低阻抗的 PDN

低压时，电源同时需求大电流与高速响应，例如大型 CPU 的核心电源，我们可能需要 $m\Omega$ 级的低阻抗。在这种情况下，组合各层的多个电容器以达到并联连接效果的目标阻抗，这变得很有必要。在这种情况下由于电容器数量以及电源终端的剧增，阻抗设计变得很复杂，并且电源接线配置也很复杂。第 4 章介绍的低 ESL 电容器的使用可能使电源设计简单些并且由于电容器数量减少，在空间与成本方面变得有利。

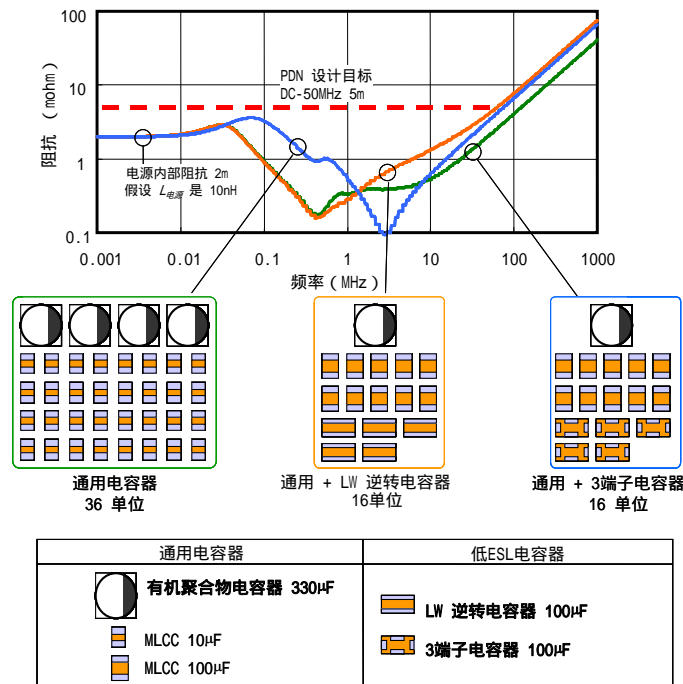


图 8-21 带有电容器组合的超低阻抗设计例子

9. 总结

本手册中，我们已经讲述用于 IC 电源的去耦电路配置与安装方式。据推测，该电路的使用适用于抑制噪声以及为 IC 工作提供足够电流（达到 PI：电源完整性）。基于噪声抑制观点的插入损耗以及电源完整性观点的阻抗，对其作出的描述已作为去耦电路的性能指标。

图 1 显示出从噪声抑制与电源完整性的观点上作出比较的各种去耦电路。对于 IC 电源，MLCC 被用作为实现这些功能的简单方式。用 3 端子电容器或低 ESL 电容器替换时，可以预测到噪声抑制与电源完整性的性能改进。此外，增加电感器例如铁氧体磁珠时，从噪声抑制观点上可以改进性能；但是，在某些情况下可能出现电源阻抗增加。在这种情况下，必须补充电容器。电容器与电感组合阶段增加数量可以进一步削弱噪声。这些滤波器应适用于与之相对应的电路所要求的等级。

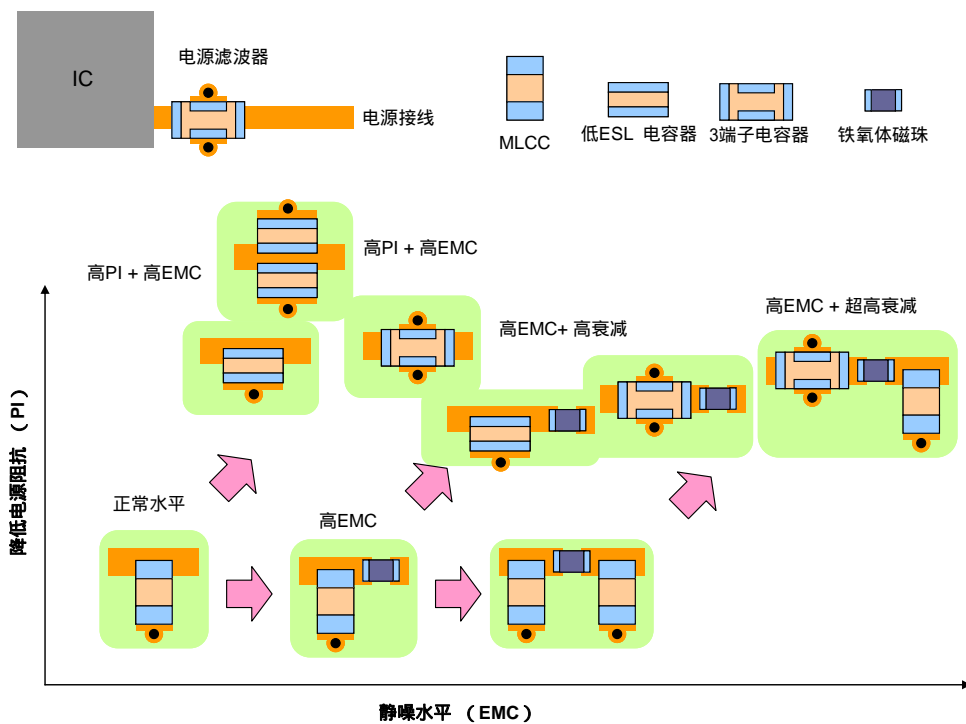


图 9-1 电源滤波器结构

从噪声对策观点上看，电源电路特性包括与信号电路相比很复杂的接线配置，使其设计特性阻抗很困难；特别是某些情况下的低阻抗；噪声对策应用的广泛频率范围从语音到 GHz；并且由于许多电路的共享，具有广泛的影响范围。为了使旁路电容器在这些电路中有效发挥作用，安装结构以及产生小电感的接线设计对于高频下的低阻抗很有必要。为此，本手册尽可能地描述安装电容器的接线配置。我们希望你可以在设计电子设备时利用到此信息。

参考文献

- 1) Hidetoshi Yamamoto, "Pawainteguritei no tame no kondensa no tekiyou (Application of Decoupling Capacitors for Power Integrity Improvement)," Journal of Japan Institute of Electronics Packaging, vol. 12 No.3, May 2009
- 2) Hidetoshi Yamamoto, "Mobairukiki no dengen noizutaisaku (zenpen) (Power Supply Noise Countermeasure for Mobile Equipment Part 1/2)" pp. 117-129, Electro Magnetic Compatibility (EMC), September 2007, No. 233
- 3) Mark I. Montrose, "EMC and the Printed Circuit Board - Design, Theory and Layout Made Simple," Wiley-IEEE Press, 1998
- 4) Brian Young, "Digital Signal Integrity Modeling and Simulation with Interconnects and Packages," Prentice Hall PTR, 2001
- 5) Clayton R. Paul, "Introduction to Electromagnetic Compatibility," Wiley-Interscience, 1992
- 6) Tadashi Kubodera, "Kousoku dejitarukairo jissou nouhou (High-Speed Digital Circuit Mounting Know-How)," CQ Publishing Co., Ltd., 2002
- 7) "Dejitarukairo ni okeru DCdengenrain no noizutaisaku (Noise Countermeasure for DC Power Supply Line in Digital Circuits)," Murata Manufacturing Technical Material, TE13JT, 1996
- 8) Yukio Sakamoto, "Yokuwaku dengenrain no EMC/noizutaisaku sekkei (Power Supply Line EMC/Noise Countermeasure Design Made Simple)," Nikkan Kogyo Shimibun Ltd., 2006
- 9) "Noise Suppression by EMIFIL[®] Basics of EMI Filters," Murata Manufacturing Technical Material, 1986
- 10) Larry D. Smith, "Frequency Domain Target Impedance Method for Bypass Capacitor Selection for Power Distribution Systems," pp.119-136, Power Distribution Network Design Methodologies, IEC, 2008
- 11) Yukio Sakamoto, "Zukai Noizutaisakubuhin to EMC sekkei (EMI Suppression Components and EMC Design Illustrated)," Kogyo Chosakai Publishing Co., Ltd., 2005
- 12) Seiji Sakai, "Chip Ferrite Beads," pp. 52-57, Electro Magnetic Compatibility (EMC), November 2007, No. 235
- 13) Tetsuo Ikeda, "Denki riron dai 2 han (Theory of Electricity 2nd Edition)," Morikita Publishing Co., Ltd., 2006
- 14) Stephan H. Hall, Garret W. Hall, James A. McCall, "High-speed Digital System Design; A Handbook of Interconnect Theory and Design Practices," Wiley-Inter Science 2000
- 15) Mikhail Popovich, Andrey V. Mezhiba, Eby G. Friedman, "Power Distribution Networks with On-chip Decoupling Capacitors," Springer, 2008
- 16) Madhavan Swaminathan, A. Ege Engin, "Power Integrity Modeling and Design for Semiconductor and Systems," Prentice Hall PTR, 2008
- 17) Takahiro Yaguchi, "Purintohaisenban no pawainteguritei sekkei (Power Integrity Design of PCB)," Journal of Japan Institute of Electronics Packaging, vol. 12 No. 3, May 2009

注：

1. 出口管制

<对于日本国外客户>

不应该通过任何渠道将村田产品用于或者销售给下列用途的设计、开发、生产、利用、维护保养或者运行，或者用作下列用途：（1）武器（大规模杀伤性武器（核武器、化学武器或生物武器或导弹）或常规武器），或者（2）专门为军事最终用途或军事最终用户的应用而设计的产品或系统。

<对于日本国内客户>

根据日本“海外流通以及对外贸易管制法”（Foreign Exchange and Foreign Trade Law）受到管制的产品在出口时必须办理出口许可证。

2. 若将本目录中的产品用于需要极高可靠性以防直接危及第三方生命、身体或财产的下列用途时，或当其中产品用于本目录规定以外的用途时，请提前与我公司销售代表或产品工程师联系。

① 飞行设备 ② 宇航设备 ③ 海底设备 ④ 电厂设备 ⑤ 医疗设备 ⑥ 运输设备（汽车、火车、船舶等）

⑦ 交通信号设备 ⑧ 防灾/预防犯罪设备 ⑨ 数据处理设备 ⑩ 与上述用途具有类似复杂性和（或）可靠性要求的其它用途

3. 本目录中的产品规格以截止2010年7月的为准。规格若有变更，或若其中产品停产，恕不另行通知。请在订购之前向我公司销售代表或产品工程师查询。若有任何疑问，请与我公司销售代表或产品工程师联系。

4. 请阅读本产品目录中的产品规格，以及有关保管、使用环境、规格上的注意事项、装配时的注意事项、使用时的注意事项的注注意事项，以免发生冒烟和（或）燃烧等。

5. 本目录因没有足够的空间说明详细规格，仅载明标准规格。因此，在订购产品之前，请核准其规格或者办理产品规格表。

6. 请注意，对由于使用我公司产品和（或）本产品目录中所述或记载的产品信息而发生有关我公司和（或）第三方知识产权及其它权利的冲突或争端，我公司概不负责，除非另有规定。由此而论，未经我公司许可，禁止自作主张将上述授权权利转授任何第三方。

7. 我公司在生产过程中未使用蒙特利尔议定书（Montreal Protocol）规定的消耗臭氧层物质（ODS）。



株式会社 村田制作所

<http://www.murata.com/cn/>

<总公司>

株式会社 村田制作所
京都府长冈京市东神足1丁目10番1号 邮政编码617-8555
电话：81-75-951-9111

<中国>

北京村田电子有限公司
北京市顺义县天竺镇天竺空港工农业区天柱路11号
邮政编码：101312
电话：86-10-8048-6622 传真：86-10-8048-6665
E-mail: BS222@murata.co.jp

<海外营业部>

东京都涩谷区涩谷3丁目29番地12号 邮政编码 150-0002
电话：81-3-5469-6123 传真：81-3-5469-6155
E-mail: intl@murata.co.jp

<台湾>

台湾村田股份有限公司 台北营业所
台湾台北市中山北路2段44号中山大楼14楼A室
电话：886-2-2562-4218 传真：886-2-2536-6721
E-mail: mtb1@murata.co.jp

村田电子贸易(天津)有限公司
天津市和平区南京路189号津汇广场2号楼1502室
邮政编码：300051
电话：86-22-8319-1655 传真：86-22-8319-1656
E-mail: mctsales@murata.co.jp

<香港>

村田有限公司
香港九龙尖沙咀弥敦道132美丽华大厦810-814室
电话：852-2376-3898 传真：852-2375-5655
E-mail: enquiry@murata.com.hk

村田电子贸易(深圳)有限公司
深圳市福田区福中三路1006号诺德金融中心29层
邮政编码：518026
电话：86-755-8202-2080 传真：86-755-8202-2380
E-mail: enquiry@sz.murata.com.cn

村田电子贸易(上海)有限公司
上海市闸北区永和路318弄(东方环球企业中心)2号
邮政编码：200072
电话：86-21-3205-4626 传真：86-21-3205-4611